

300GHz 帯 CMOS トランシーバ

300-GHz CMOS transceiver

李 尚曄[†]Sangyeop LEE[†][†] 広島大学先端物質科学研究科

概要

テラヘルツ帯、特に 300GHz 帯は数十 GHz 以上の広い周波数帯域が利用できることから、より大容量のデータの高速伝送ができる次世代通信の一つの候補として注目されている。本研究では、300 GHz 帯 CMOS 送信機(TX)と受信機(RX)において共に用いられている LO 信号通倍機とパワーコンバイナー(power combiner)をダブルラットレース(double-rat-race, 図 1)を利用して共用化し、単一チップ CMOS トランシーバを実現した。更に 300 GHz 帯での損失を可能な限り減らすため、多機能パッシブ素子を用いて素子数を減らしている。開発した単一チップ CMOS トランシーにおいて、265.68 GHz (IEEE 規格 802.15.3d チャンネル 66 相当)のキャリアを用い、16QAM 80 Gb/s のデータの 3 cm 無線送受信に成功した(図 2)。

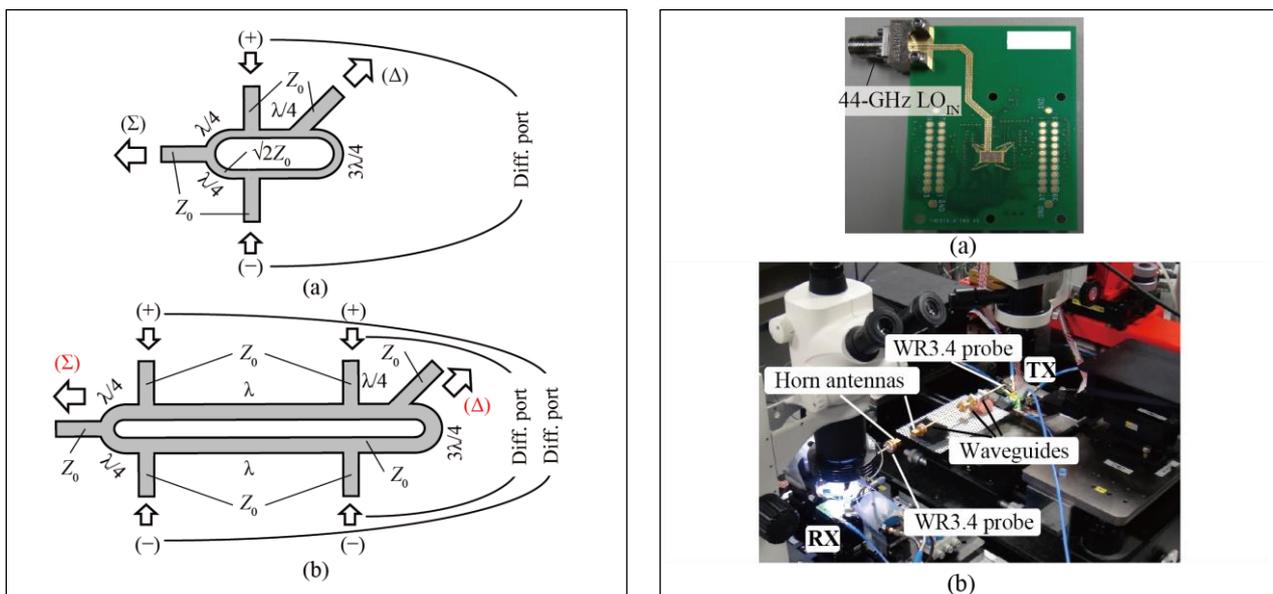


図 1 (a) ラットレース, (b) ダブルラットレース. 図 2 (a) 評価基板, (b) プロービング測定の様子.

Abstract

A single-chip CMOS transceiver (TRX) for ultra-high-speed wireless communications is presented. The TRX chip operates in either transmitter (TX) or receiver (RX) mode at frequencies comparable to f_{\max} . The TX adopts mixer-last architecture with 4-way power combining using a double-rat-race. In RX mode, the TX serves as an LO-multiplier chain, which accounted for a significant part of die area. Multi-functional passives including the double-rat-race contribute to save area, and to reduce losses induced by connection lines between components.