

# マイクロ波トランジスタの基礎

大野 泰夫

徳島大学ソシオテクノサイエンス研究部

Fundamentals of Microwave Transistors

Yasuo OHNO

Institute of Tech. & Sci., The University of Tokushima

## 1 まえがき

トランジスタは現代のエレクトロニクスに無くてはならない構成要素である。1948年のバイポーラトランジスタ (BJT) の実現の後、電界効果トランジスタ (FET), さらに MOSFET が生まれた。材料面では初めはゲルマニウム BJT が実用化されたが、その後シリコン BJT, シリコン MOSFET へと進展していく。1972年に GaAs FET が登場し、マイクロ波は化合物半導体系の FET が、デジタル回路にはシリコン CMOS が、パワートランジスタにはシリコン IGBT と 3 つの大きな流れに集約された。しかし、最近ではシリコンがマイクロ波領域へ進出し、一方化合物半導体では高耐圧の GaN が登場しマイクロ波のみならずパワー FET への展開が始まっている。この講座ではマイクロ波用途を中心に、各デバイスや材料の特徴を解説する[1].

## 2 MOSFETによるトランジスタ基礎理論

トランジスタ基本動作の理解のため、判りやすい MOSFET を例に取りその特性を解説する。シリコン MOSFET では電子をキャリアとする n チャンネル FET とホールをキャリアとする p チャンネル FET が存在するが、ここでは n チャンネル FET で説明する。

MOSFET は、酸化膜を層間膜としゲート金属と半導体を電極とするキャパシタにおいて、ゲートバイアスによって半導体表面に誘起される電荷の量を制御して電流を制御する (図 1 a)。ゲートに負電圧を印加すると p 型半導体中のホールが表面に引き寄せられ、MOS 界面は高濃度のホール層が形成される。これを”蓄積”と呼ぶ。

このホール層には電極が接続されていないのでトランジスタのオンオフ動作には関係しない。ゲート電圧を正の方向に変化させると、蓄積ホール層が無くなるフラットバンド状態を経て、ホールが排斥される”空乏状態”になる。この状態では電子はゲートに引き寄せられるので、表面付近の電子濃度は基板中よりは上がって

いるが、まだ伝導に寄与するほどではない。さらにゲート電圧を正にすると表面電子濃度は基板ホール濃度を超えるような状態になり、表面に高濃度電子層 (反転層) が形成される。この状態を”反転”と呼ぶ。反転層の両横に n 型領域が置かれていれば両 n 型領域間は導通状態になる。これがトランジスタの基本動作原理になる。

MOS 構造は基本的には酸化膜をはさむキャパシタなのでこの電子層の電荷は

$$Q_{CH} = \frac{\epsilon_{ox}}{t_{ox}} (V_G - V_T) \quad V_G > V_T \quad (1a)$$

$$Q_{CH} = 0 \quad V_G < V_T \quad (1b)$$

と書ける。ここで、 $\epsilon_{ox}$  は酸化膜の誘電率、 $t_{ox}$  は酸化膜、 $V_G$  はゲート電圧、 $V_T$  はしきい値電圧である。このキャパシタでは、半導体側に誘起される電荷はバイアスによって、ホール蓄積層、空乏層、電子反転層と変化するが、トランジスタ動作に使われるのは反転層のみで、それが発生し始めるゲート電圧をしきい値電圧  $V_T$  と定義する。(1) 式の電荷量は伝導に寄与する電荷のみを表している。

反転層に横方向に電界をかけると電子は電界に比例した速度で移動する。この比例係数がキャリア移動度  $\mu$  で、これを用いると反転層の伝導度は

$$g = W\mu EQ_{CH} = W\mu E \frac{\epsilon_{ox}}{t_{ox}} (V_G - V_T) \quad (2)$$

となる。ここで反転層領域の幅を  $W$ 、横方向印加電界を  $E$  としている。

トランジスタのソース、ドレイン間に電圧を印加するとチャンネル電位はソースからドレインに向かって徐々に電圧が変化するので、キャパシタの電荷も場所ごとに変化する。その状況を考慮してトラ

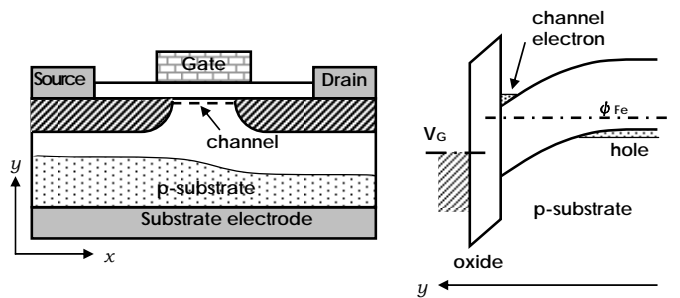


図 1 MOSFET の断面構造とバンド図

表 1 マイクロ波トランジスタで用いられる半導体の特性

	単位	Si	GaAs	InP	InAs	GaN	SiC(6H)
格子定数	(Å)	5.431	5.653	5.869	6.058	5.185(c)	3.086(a) 15.12(c)
熱伝導度	(W/cm deg)	1.5	0.46	0.7	0.27	1.3	4.9
バンドギャップ	(eV)	1.12	1.42	1.35	0.36	3.39	3.02
真性キャリア濃度	(cm <sup>-3</sup> )	1.5×10 <sup>10</sup>	1.8×10 <sup>6</sup>	1.3×10 <sup>7</sup>	1×10 <sup>15</sup>	1.7×10 <sup>-10</sup>	1.2×10 <sup>-08</sup>
破壊電界	(V/μm)	30	40	50	-	200	300
電子移動度	(cm <sup>2</sup> /Vs)	1500	8500	5400	33000	2000	400
ホール移動度	(cm <sup>2</sup> /Vs)	470	400	200	460	30	50

トランジスタの電流電圧特性を求める方法がグラデュアルチャネル近似 (GCA, gradual channel approximation) である. 本来3次元のポアソン方程式をチャネル垂直方向 (図1で  $y$  方向) の1次元の電位分布で決まるとする近似で, チャネル平行方向 ( $x$  方向) の電界は電流駆動には作用するが電荷量には影響しないとしている. GCAによればトランジスタのドレイン電流は

$$I_D = \frac{W}{L} \frac{\epsilon_{ox}}{t_{ox}} \mu \left\{ (V_G - V_T) V_D - \frac{1}{2} V_D^2 \right\} \quad (3)$$

と表される (図2a, 理想モデル). この関数は  $V_D = V_G - V_T$  に関して  $V_D = V_G - V_T$  で頂点となる放物線であるが,  $V_D > V_G - V_T$  での電荷の積分は(1b)のゼロの式を用いるので, この領域での電流値は一定となる. この状況をピンチオフといい, 電流値は,

$$I_p = \frac{1}{2} \frac{W}{L} \frac{\epsilon_{ox}}{t_{ox}} \mu (V_G - V_T)^2 \quad (4)$$

である.

これまでの説明ではキャパシタをチャネルとゲート電極のみで計算しているが, 実際には基板の  $p$  型層側の空乏層もキャパシタを形成する. MOSFET では次に述べる短チャネル効果を防ぐためこの空乏層は比較的薄く, 飽和電流値を減少させる. これを基板効果という (図2a). 化合物半導体では半絶縁性基板を用いるために無視されがちであるが, 深い準位が  $p$  型層の役割を果たすので存在しないわけではない.

トランジスタのゲート・チャネル間は電気回路的にはキャパシタで, その値は  $C_G = WL\epsilon_{ox}/t_{ox}$  である. またゲート電圧で制御されるドレイン電流, すなわち相互コンダクタンス  $g_m$  は

$$g_m = \frac{dI_p}{dV_G} = \frac{W}{L} \frac{\epsilon_{ox}}{t_{ox}} \mu V_P \quad (5)$$

となる. その結果, ゲート容量を自分自身の駆動能力で充放電できる最高周波数である電流遮断周波数  $f_T$  は

$$f_T = \frac{g_m}{2\pi C_G} = \frac{\mu V_P}{2\pi L^2} \quad (6)$$

と表せる. この式から高速化のためにはチャネル長  $L$  の短縮と高電圧印加が重要であることが判る.

### 3 MOSFETでの短チャネル効果とその対策

これまで理想状態での MOSFET の特性を紹介したが, 現実にはこの通りにはならない. その多くが短チャネル化に起因する問題である. それらを短チャネル効果と呼ぶ.

#### 3.1 キャリア速度飽和

電子速度が電界に比例するのは低い電界での話で, 実際には電子速度には上限がある. これを速度飽和と呼び飽和速度を  $v_{SAT}$  と表す. その結果, (3)~(6)式には修正が必要になる. 近似的にはチャネル長  $L$  を  $L + \mu V_P / v_{SAT}$  とすれば良い. シリコン電子の場合,  $v_{SAT} = 1 \times 10^7 \text{cm/s}$  なので  $\mu = 500 \text{cm}^2/\text{Vs}$ ,  $V_P = 1\text{V}$  とすると  $\Delta L = 0.5 \mu\text{m}$  程度となり, ゲート長  $0.1 \mu\text{m}$  クラスのトランジスタでは電流は理想モデル式の数分の1の電流となっている. (図2a)

#### 3.2 ピンチオフとチャネル長変調

基礎理論で取り上げたように, ピンチオフはチャネル長にかかわらず起きる. GCA ではピンチオフとはチャネル電荷が無くなるチ

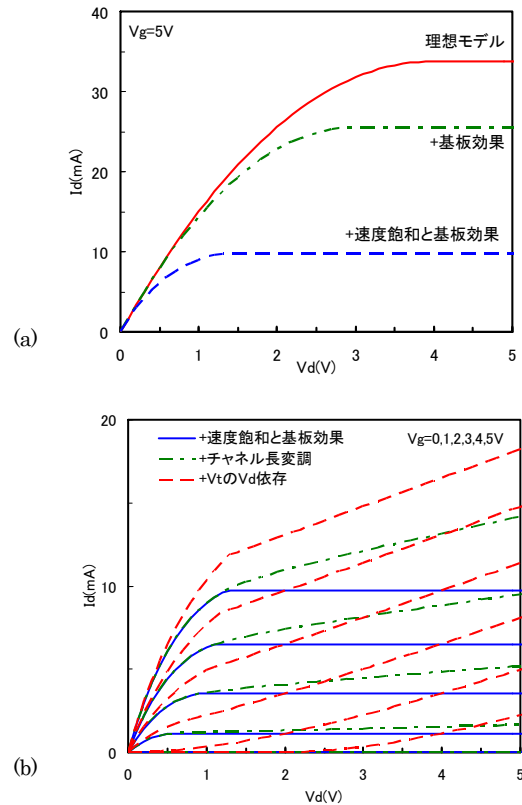


図2 MOSFETの各種条件による  $I_d$ - $V_d$  特性の変化

ャネル電位と定義される. しかしそれでもドレイン電流は流れており, チャネル電荷がゼロというのは明らかに矛盾である. ピンチオフ状況ではチャネル方向の電界変化も大きくなり, GCA の仮定が成立していない. この場合, 電荷はチャネル方向の電界変化でも決まるようになり, 有限の電荷密度を持ち飽和速度に近い速度で流れる空間電荷制限電流となっている. この区間の長さはゼロでは無く, その分だけ GCA としてのチャネル長は短くなる. 結果として電流が増大する. これをチャネル長変調と呼ぶ (図2b). 飽和領域の電流が一定で無くなり, 増幅回路のゲインを低下させる.

#### 3.3 しきい値変動

MOS ダイオードでのしきい値電圧は基板不純物濃度, 酸化膜厚, ゲート金属仕事関数から計算できる. これから MOSFET のしきい値はチャネル長にかかわらず一定となるが, 実際にはソース, ドレイン拡散層からの電界の影響があり, チャネル長によりしきい値は変わる. 同じ理由でチャネル幅が狭い場合もチャネルエッジ部の影響でしきい値が変わるのでこの場合は狭チャネル効果と呼ぶ.

微細 MOSFET の開発ではこの現象は大きな問題となり, それにより2次元デバイスシミュレーションが発達した. チャネル長によってしきい値は異なるが, 個々のトランジスタにとってはしきい値は一定であると言うことから回路動作上は問題では無い. しかし, 多量の FET を同一の特性で作成するという VLSI にとってはチャネル長制御という製造技術上の問題に跳ね返って来る.

#### 3.4 しきい値の $V_D$ 依存性

回路動作上問題となるのは  $V_D$  によるしきい値の変化である. ドレインに印加した電圧による電界が基板を通してソース近傍の電界分布に影響する. そのためチャネルのソース端で決まるしきい値が

ドレイン電圧により変わることになる。別名、DIBL（ドレイン誘起バリア低減現象）とも呼ばれる。しきい値が変わる結果、飽和電流もドレイン電圧で変わるようになる。チャンネル長変調でも $V_D$ により電流が増えるが、しきい値電圧以下でドレイン電流が流れ出すことは無い。しかし、しきい値電圧そのものが変わる場合には、オフ状態を維持するためしきい値を高く設定せねばならず、結果的にオン電流を低減させてしまう。

この効果を防ぐために、MOSFETではゲート電極と基板p型層でドレイン電界のソースへの到達を遮蔽する。ドレイン電圧によるしきい値電圧の変化は[2],

$$\frac{dV_T}{dV_D} = -\frac{2\epsilon_{si}t_{ox}x_D}{3\epsilon_{ox}L^2} \quad (7a)$$

と表されるので、薄い酸化膜と薄い空乏層を使う必要がある。一方で,

$$\frac{dV_T}{dV_{SUB}} = -\frac{\epsilon_{si}t_{ox}}{\epsilon_{ox}x_D} \quad (7b)$$

の関係があるので $x_D$ を下げることは基板効果の増大を招きピンチオフ電流の低下をもたらす(図2a)。MOSFETの開発ではイオン注入によるチャンネルドーピング技術とデバイスシミュレーションを組み合わせ、短チャンネル効果を押さえつつ飽和電流を下げないような最適な空乏層形状を実現させることが重要な課題であった。

### 3.5 高耐圧化

速度飽和現象があるものの一般的には駆動電圧を上げれば高速になる。そのため、出来るだけ高電圧が使えるように微細MOSFETでも高耐圧構造が導入されている。LDD (Lightly Doped Drain) である(図3)。MOSFETではゲートとソース、ドレインとのオーバーラップ容量が動作速度を落とすのでこの容量削減も同時に行っている。ゲートポリシリコンの側壁に酸化膜残し、チャンネルと高濃度ドレインの間に自己整合的に低濃度のドレイン層を形成する。この部分にはゲート電極が無いため寄生容量は小さくなる。また、オフ状態でドレイン電圧が高い場合はLDD領域も空乏化されるため横方向電界が緩和されドレイン耐圧の向上が図れる。パワーFETでのフィールドプレートとよく似ている。但し、電荷を制御するプレートは基板のp型層である。LDD部酸化膜表面の帯電が特性に影響を与える可能性があるが酸化膜厚を厚めにすることでその影響を防いでいる。

## 4 バイポーラトランジスタ

### 4.1 バイポーラトランジスタとは

MOSFETなどの電界効果トランジスタは別名ユニポーラトランジスタと呼ばれ、電子のみを制御するデバイスである。それに対し、バイポーラトランジスタは電子とホールの両方を使うデバイスと言われている(図4)。しかし、どちらも伝導帯エネルギーを制御してチャンネル電子量を変化させ、それにより伝導度を変化させるという点では同じ原理で動作している。電界効果トランジスタではゲート電極から絶縁膜を介して制御するのに対し、バイポーラトランジスタではベースのホール擬フェルミ準位が伝導帯エネルギーと一体で動くことを利用して制御する。

バイポーラトランジスタのエミッタ電流はpn接合理論からベー

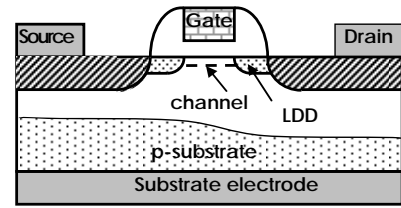


図3 MOSFETのLDD構造

ス電流と正確に関係付けられるが、ベース抵抗の存在のためベース端子電圧との関係は安定して再現性のあるものではない。一方電界効果トランジスタのドレイン電流はキャパシタの原理でゲートバイアスに対してほぼ線形の変化となる。電界効果トランジスタでもわずかながらゲートリーク電流が流れるが再現性や制御性は無くそれでトランジスタの動作を表現することは適切では無い。電流制御の基本動作原理は同じであるが、ベースおよびゲートの電圧とリーク電流の関係が全く異なるため、それぞれ実用的な表現を用いていると言える。

### 4.2 バイポーラトランジスタの高速化

バイポーラトランジスタでは、MOSFETのチャンネル長に対応する領域はベースである。ベースの厚さは結晶成長や不純物拡散で制御できるので、リソグラフィとエッチングによるFETのチャンネル長制御が成熟するまでは安定して作れる超高速デバイスであった。一方、制御信号が、FETではゲートという金属配線で供給されるのに対し、ベースという拡散層で供給されるため高抵抗となり、それが高速性を制限する。

バイポーラトランジスタの電流遮断周波数もFETと同様ほぼベース長と電子走行速度で定義できる。しかし、電流遮断周波数はチャンネル長や飽和速度などの物理指標を反映するが、回路応用上は必ずしも実用的な指標では無い。実際の回路動作ではゲートやベース

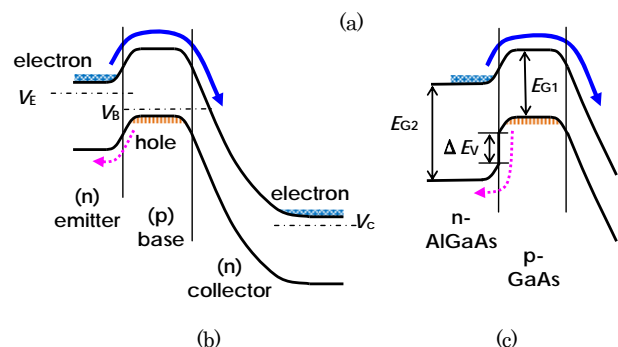
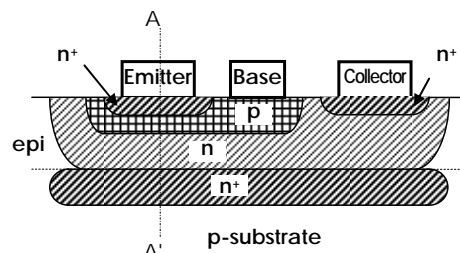


図4 (a) バイポーラトランジスタの断面構造と(b)A-A'部のバンド図、(c)ヘテロバイポーラトランジスタの場合のバンド図。

部での抵抗や、短チャネル効果などによる飽和領域での電流の増大などの影響も含む最大発振周波数( $f_{max}$ )で比較するのが妥当である。

バイポーラトランジスタの $f_{max}$ にはベース領域への抵抗が大きく影響する。元々薄層化されているため横方向の抵抗は高く、低抵抗化のためには高濃度にドーピングする必要がある。しかし、ベースのアクセプタ濃度の上昇はエミッタへのリーク電流の増大を招く。それを防ぐ方法がヘテロ構造を用いるHBT (Hetero Bipolar Transistor) である(図 4c)。バンドギャップ差を $\Delta E_g$ とすると $\exp(-\Delta E_g/kT)$ の分だけエミッタへのホールの注入効率が低下する。AlGaAs/GaAsやSi/SiGeなどのヘテロ構造が利用されている。

高濃度ベースに高濃度のn型層を接続するとpn接合での耐圧がとれなくなるため、バイポーラトランジスタではコレクタ側のn型層を低濃度化して耐圧を確保する。そのため、バイポーラトランジスタにはエミッタとコレクタの電気的対称性は無い。

FETの短チャネル化が進み、バイポーラトランジスタはベース抵抗の制約から必ずしも超高速デバイスとはいえなくなったが、MIS界面や空乏領域が存在しないのでトラップなどから発生する低周波のノイズが少なく、また定電流から高電流までのダイナミックレンジが広いという特徴から携帯電話の送信アンプなどに使われている。

## 5 化合物半導体FET

### 5.1 化合物半導体FETのデバイス構造

半導体結晶と非品質の絶縁体膜の界面には一般的には多量の界面準位が存在する。ゲートバイアスで誘起される電荷は界面準位に現れ、それは伝導帯電子のように動くことができないためチャンネルが形成されない。シリコンのMOS構造でFETが作れるというのは絶縁物であるSiO<sub>2</sub>が基板のSiを酸化して作れるためで、他の半導体ではほとんど不可能である。それでも界面散乱があり、キャリア移動度は理想結晶の半分以下に低下している。

化合物半導体トランジスタとして初めに登場したのはMESFET (Metal-Semiconductor FET) である(図 5a)。チャンネルはバルク

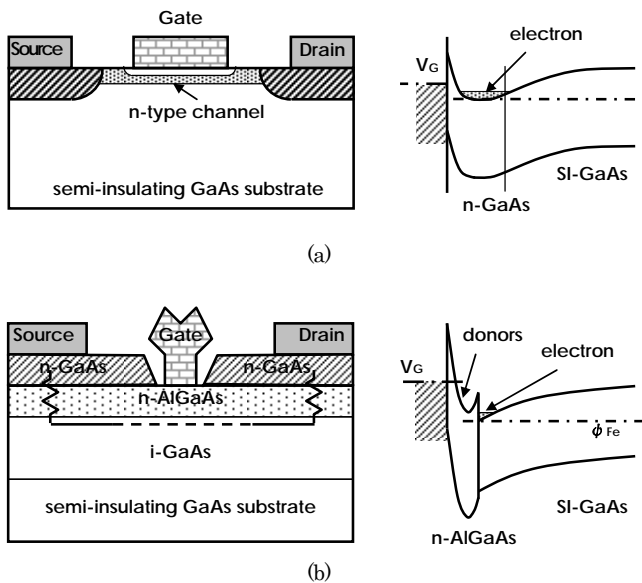


図5 GaAs系FETの断面構造およびバンド図  
(a)MESFET, (b)HEMT

のn型半導体層で、ショットキー接合ゲートのバイアスで空乏層を広げて電流を制御している。ゲートに正バイアスをかけるとショットキー接合が順方向になるため、ゲートに大きなリーク電流が流れてしまう。そのため、ゲートバイアスの範囲は負バイアスに限定され、しきい値が負電圧となるディプリーション型(D型)となる。電子はn型半導体中を流れるため、不純物散乱のため表1に示す移動度は出ないが、GaAsということでシリコンMOSFETの数倍の移動度を持っている(図6)。

不純物散乱の影響を改良したのがHEMT (High Electron Mobility Transistor) である(図5b)。MOS構造の絶縁物の代わりに伝導帯エネルギー準位の高いヘテロ構造を用いるもので、ゲート絶縁物部分も基板と同じ結晶構造が続くため界面準位の発生が無く、MOSFETのような移動度の低下は起こらない。

半導体のヘテロ構造ではゲートに正バイアスをかけるとチャンネル電子はヘテロバリアを超えて流れてしまう。そのため、エンハンスメント型は作れない。チャンネル部にドナーを入れると移動度が低下してしまうため、ゲート膜として用いるAlGaAs中にドナーを入れて電子を誘起させている。

### 5.2 キャリア移動度

HEMTは新しい結晶成長技術であるMBE法が使われた。ヘテロ構造の形成とともに精密な厚さ制御が可能で、共鳴トンネルダイオードなどの量子効果素子がいろいろと開発された。その影響もあって、HEMTのチャンネルは2次元電子ガス(2DEG)と呼ばれている。

MOS界面やヘテロ界面の2DEGの電子伝導では、不純物などが造るクーロンポテンシャルに対するチャンネル電子の遮蔽効果が重要な役割を果たす。通常作られる結晶には残留不純物や結晶欠陥が存在し不純物ゼロの理想の移動度は実現できない。しかし2DEGではそれらの不純物濃度を遙かに上回る電子濃度になるために、不純物の作るクーロンポテンシャルが自由電子で遮蔽されて散乱が減り、理想値に近い移動度が実現する。MOSに限らずやHEMT構造でもしきい値極近傍では電子濃度が低くポテンシャル遮蔽効果が全く無いため移動度が低い。ゲートバイアスが上がるにつれて遮蔽効果で移動度が上がり、さらにゲートバイアスが上がると界面散乱の影響で低下するという推移をたどる。

### 5.3 In混晶

GaAsチャンネルにInが混ざると移動度がさらに向上する(図6)。し

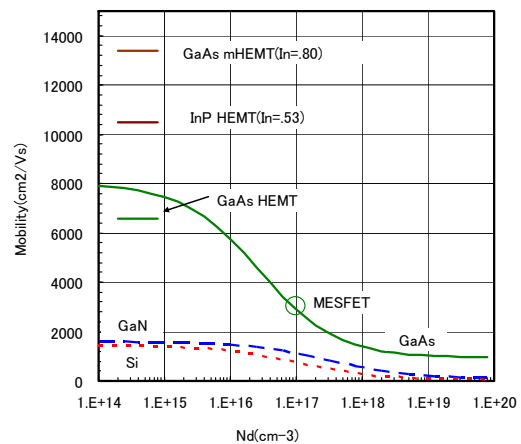


図6 Si,GaN,GaAsの電子移動度とドナー濃度の関係(経験式)と各種HEMTのチャンネル移動度

かし、InGaAsはIn濃度により格子定数が変わり、単純にIn濃度を上げたりInGaAsチャネル層厚を厚くすることはできない。GaAs基板を用いる場合はIn濃度 30%程度が限界で有り、その際の移動度はGaAsで  $6000\text{cm}^2/\text{Vs}$ 程度であったものが  $7000\text{cm}^2/\text{Vs}$ 程度である。格子定数の違いからこの構造は結晶が歪んでおり、pseudomorphic HEMT (p-HEMT)と呼ばれる。基板をInPにするると  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ で格子定数が整合し、ゲート膜側も  $\text{Al}_{0.48}\text{In}_{0.52}\text{As}$ とするとすべて格子定数がそろふ。これをInP HEMTと呼んでいる。InP基板はGaAsより扱いが難しく高価格となりやすい。一方、結晶欠陥を入れつつIn組成を上げる方法も行われている。結晶欠陥による移動度の低下はポテンシャル遮蔽効果が緩和されるので、この方法でも2DEG移動度は上昇し、GaAs基板でもIn組成 80%程度が実現できる。この構造はmetamorphic HEMT(m-HEMT)と呼ばれる。InP HEMT, p-HEMT, m-HEMTなど、高In濃度のInGaAsチャネルを用いるHEMTが最先端の超高速化合物半導体FETである。

シリコンMOSFETでも移動度向上の努力はなされている[3]。シリコン電子には移動度に異方性の強い6つの谷が存在し、その平均としての移動度が実現している。MOS界面付近に結晶歪みを導入することで界面内方向に移動度の小さな谷のエネルギー準位を上げて、そこへの電子の配分を低下させ高移動度の電子の比率を増やす。具体的にはチャネル部と基板の間にGe-Si層を入れることで横方向に歪みを生成する。これにより、 $1000\text{cm}^2/\text{Vs}$ 程度が実現できている。

#### 5.4 半絶縁性基板

シリコンMOSFETではp型基板が用いられるのに対し、化合物半導体では半絶縁性の基板が用いられる。p型層を使うメリットはチャネルドープで短チャネル効果対策がとれ、またホールの移動が速ければヒステリシスなどは発生しない。一方欠点は、基板への寄生容量が増え、また耐圧がp型層濃度で決められてしまう点である。

半絶縁性基板は寄生容量が発生せず高速化に有利である。しかし、重金属などの作る深い準位を利用するため、ゲートラグ、ドレインラグなどのヒステリシス効果、GaAsでのサイドゲート効果、また最近のGaNデバイスでは電流コラプスなどの問題を引き起こす。

無線通信では、もともと電波伝搬に不安定性がある状況で使われていたので、デバイスの不安定性もその陰であまり深刻ではなかったが、近年の高度な変調方式を用いる場合にはデバイスの不安定性は大きな制約となる。

シリコンとGaAsにおける基板の選択では、そもそも材料特性から選択の余地は無かった。シリコンではバンドギャップが  $1.11\text{eV}$ と小さく、たとえミッドギャップの準位を用いても室温では十分な絶縁性にはならず、かつそのような準位を作る適当な不純物も見つかっていない。一方、化合物半導体ではイオン注入でのp型層の導入が出来ず、チャネルドープ技術は利用できない。さらに、ホールの移動度は電子の動きに対応するほどには高くなく、それによるヒステリシスを発生する可能性がある。シリコンでは基板による寄生容量を抱えたまま、化合物半導体では深い準位の問題を抱えたまま発展が続いてきている。

## 6 マイクロ波も集積回路へ

### 6.1 マイクロ波集積回路基板

デジタル回路のスケーリング則では微細化が高速化、低消費電力化、高集積化をもたらす、トランジスタ単価で見れば劇的な低コスト化を実現した。高性能なものほど値段が安いという一般の工業製品とは逆の現象が起きている。

マイクロ波でも似た現象が起こる可能性はある。トランジスタを微細化し、高周波化すればインピーダンス線路などの部品サイズは周波数に逆比例して小さくなり、結果的にチップサイズが小さくなって低価格となる。但し、デジタル回路で消費電力が下がったと同じ原理でアンプの出力は周波数の2乗に逆比例して小さくなり、電波到達距離が低下するという点は問題である。

低コスト化には部品の微細化だけでなく、集積化が必須である。現在の携帯電話ではマイクロ波部分でも、低雑音受信アンプ、高出力送信アンプ、マイクロ波スイッチ、ミキサなどがそれぞれの特長を活かした別チップで構成されている。しかし、小型化や低コスト化を考えるとこれらを同じ半導体で構成する1チップ集積化が必須となる。

シリコンCMOSはその点で有望である。基板は12インチφと大きく、微細化で既に60GHz帯の信号処理が可能となっている。pチャネルとの組み合わせで低消費電力であり、またデジタル信号処理と組み合わせた高度な機能が実現できる。しかし、シリコンにも問題がある。それが基板抵抗の問題である。

デジタルICで使われる12インチシリコン基板はチョコラルスキー法で作られるCZ基板である。大口径基板が作れるが残留不純物が入り、数  $100\Omega\text{cm}$ 以上の高抵抗は出来ない。一方で、マイクロ波線路の損失を無視できる程度まで下げるには数  $\text{k}\Omega\text{cm}$ 以上が必要で、さらに表面に反転層や蓄積層が出来てはならない。高速化で最近使われるようになったSOI (Silicon on Insulator) も  $1\mu\text{m}$ 程度の  $\text{SiO}_2$ 膜の下はシリコン基板なので基板の損失に関しては状況は変わらない。シリコンでもFZ(Floating Zone)法で  $\text{k}\Omega\text{cm}$ 級の基板は出来ているが製造法の制約があり大口径による低コスト化には向いていない。

### 6.2 シリコン・オン・サファイア(SOS)

その点で注目されるのがSOS (Silicon on Sapphire)である[4,5]。1980年代にサファイア基板上に直接シリコンを成長させて開発が試みられていたが、サファイア基板が高価なこと、高温成長後の熱収縮でシリコン層に歪みが入り、先のSiGe歪みチャネルと逆の効果で移動度が70%程度の下がって十分な効果を発揮できなかった。しかし、最近ではSiイオン注入による固相再生長法やSOIで開発された貼り合わせ法で移動度の低下の無い良質なシリコン層が使えるようになり、近年携帯電話でのスイッチ素子などに使われるようになった。もともと寄生容量が小さいことから超高速CMOSデジタル回路として開発されていたこともあり、ミリ波MMICとマイクロプロセッサなどのVLSIとの混載も不可能では無くなる。

### 6.3 GaN オン サファイア

スケーリング則では先にも述べたように、高周波化に伴って電源電圧や信号電圧が低減し、信号出力も小さくなる。デジタル回路では記号としての1か0を出力すれば良かったが、通信などでは送信

電力が下がり伝搬距離が短くなる。そこで期待されるのが超高周波でも高電圧、高出力が出せるワイドバンドギャップ半導体である。これらとシリコン VLSI と組み合わせることでミリ波の利用が拡大する。

GaN は AlGaIn/GaN HEMT 構造で 2GHz 帯で携帯電話基地局用の FET として実用化されている。さらに準ミリ波やミリ波のアンプも報告されている。高耐圧ということは短チャネル化しても静電破壊しにくいということで、60GHz 帯でも 10V 以上の耐圧で高出力アンプが実現できるであろう。L 帯、C 帯では 100W クラスのアンプのため、放熱の良い半絶縁性 SiC 基板が用いられたが、ミリ波で 1W クラスなら青色 LED と同じ低価格のサファイア基板で作成可能である。

#### 6.4 実装技術

同じサファイア基板上に作成できるといっても異種材料の Si と GaN の微細トランジスタをマイクロ波 IC として集積化して作成することは難しい。ワイヤボンディングなどの機械的接続では信号が劣化し、部品が小さいため実装コストも高くなる。

そのような別々の高性能チップ間を効率よく接続するために開発されたのが無線チップ間接続技術 ECOR (Electromagnetic Coupling of Open-ring Resonator) である[6]。周囲長  $\lambda/2$  のオープンリング共振器を両チップ上に搭載し、それらの間に共鳴現象を起こさせてエネルギーや信号の交換を行う。これを用いてサファイア基板を通した信号の伝送を行う。

オープンリング共振器はもともと高精度のバンドパスフィルターとして研究されてきた。チップ間信号伝送に使うには周波数精度よりも出来るだけ広帯域で損失が小さいことが重要である。図 7 にシミュレーションと実測結果を示す。60GHz 帯で 200  $\mu\text{m}$  のサファイア基板を通す場合リングの直径は約 0.25mm で、通過帯域 6GHz を 30% 程度のロスで伝送している。共振器間の共鳴を用いるため位置合わせ精度は比較的緩くリングの半分が重なっていれば通信可能である。

ECOR は絶縁性基板に金属配線のみで形成できる。将来は異種半導体の特長を活かした各種チップを、簡便な無線接続技術で接続することで、高機能マイクロ波集積回路が実現されることを期待している。

## 7 まとめ

シリコン MOSFET を例にとり、トランジスタの基本動作と微細化、高速化に伴う課題について紹介した。次に、シリコン MOS で使われる p 型基板と化合物半導体で使われる半絶縁性基板の得失について解説した。また、高速化のための結晶技術についても述べた。最後に、今後予想されるモノリシック集積化における基板技術、実装技術について著者の考えを紹介した。

マイクロ波トランジスタは、従来は軍用などの特殊な用途で高速化を優先したため高コストが許されていた。近年の携帯電話の普及などで低価格化が進み、低周波領域ではシリコン CMOS が使われるようになってきている。帯域の逼迫を考えると高周波へ移行していくと思われるが、同時に低コスト化を実現していくためには集積化が進む。その際に重要となるのはマイクロ波デバイスを搭載する基板が、高抵抗、大口径、低価格でないとならない。その点、サファイア

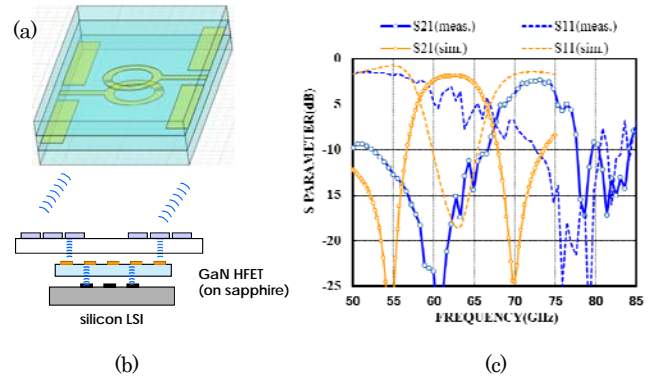


図 7 (a)オープンリング共振器結合, (b)ワイヤレスインターコネクション実装イメージ, (c)200 $\mu\text{m}$  サファイア基板透過特性

アを基板とする CMOS・SOS は優れた組み合わせである。しかし、微細 CMOS をマイクロ波に用いる場合の欠点は出力電力であり、この点でワイドギャップの GaN が期待される。このような異種基板間で回路を形成する場合には高性能トランジスタの他に、共振器結合のような高周波信号を扱える低コストな実装法が必要となる。

## 文 献

- [1] S.M. Sze & Kwok K. Ng, "Physics of Semiconductor Devices 3rd Ed.," John & Wiley & Sons, Inc., Chapter 5,6,7 (2007)
- [2] Yasuo Ohno, "Short-Channel MOSFET  $V_T$ - $V_{DS}$  Characteristics Model Based on a Point Charge and Its Mirror Images," IEEE Trans. On Electron Devices, ED-29, pp.211-216(1982)
- [3] J. Welser, J. L. Hoyt, J. F. Gibbons, "Electron mobility enhancement in strained-Si n-type metal-oxide- semiconductor field-effect transistors," Electron Device Letters, vol.15, pp.100-102, (1994)
- [4] 中村稔之, 松橋秀明, 長友良樹, "シリコン・オン・サファイア(SOS)デバイス技術"沖テクニカルレビュー Vol.71, No.4, p.66-69 (2004年10月)
- [5] Dylan J. Kelly, "CMOS-on-Sapphire RF Switches for Cellular Handset Applications," CS MANTECH Conf., April 14-17, 2008, Chicago, Illinois, USA
- [6] Y. Iwasaki, et al., "60 GHz Wireless Interconnection Using Electromagnetic Coupling of Open-Ring Resonators," SSDM 2012, Kyoto Japan(2012)