

ダイレクトサンプリングミキサを用いた

離散時間受信技術

荒木 純道† 森下 陽平†,‡

†東京工業大学 ‡パナソニック株式会社

Discrete-Time RF Signal Processing using Direct Sampling Mixers

Kiyomichi ARAKI† and Yohei MORISHITA‡

†Tokyo Institute of Technology, ‡Panasonic Corporation

1. まえがき

CMOS プロセスの微細化が進展し、MOS の高集積、高速化が進展しており、無線通信用の RF 回路も CMOS プロセスで実現されるようになってきている。一方で、通信用 LSI 内のアナログ回路は微細化に伴って縮小していくことが難しく、かつ低電源電圧下での動作にも適さない。RF 回路を極力デジタル化することで、微細 CMOS 下でのアナログ回路設計の課題を克服したアーキテクチャが、2004 年に Bluetooth 向けに商用化された[1]。受信部で用いられたのが離散時間アナログ信号処理であり、以降さまざまな技術改善の取り組みが行なわれている。離散時間アナログ信号処理を用いた回路構成は、微細 CMOS プロセスでの製造に適するだけでなく、その可変性を活かしたソフトウェア無線機(SDR)への応用も期待されている。本稿では、無線通信回路の RF 部に使用される離散時間アナログ信号処理の基本的な設計手法とその応用例を説明する。

2. スイッチトキャパシタフィルタ

離散時間アナログ信号処理を用いることで、IC 化に適した構成を実現したものとしては、スイッチトキャパシタフィルタ(SCF)というものが有名である。FET スイッチ、キャパシタ、オペアンプとから構成され、容量から容量への電荷の転送を動作の基本とする。特性の精度、安定性が良く、ダイナミックレンジが広いためオーディオ等のアプリケーションにおいて使用されてきた[2]。しかし、SCF は、オペアンプを使用する必要性から高速なアプリケーションには用いられず低電源電圧下での動作にも不向きであった。前述の文献[1]では、オペアンプを用いないパッシブ型の SCF を使用することで、高速動作を実現し、無線通信の RF 回路に SCF を適用した。

3. 連続時間系と離散時間系のちがいは

離散時間系では連続時間信号の途中経過には着目せず、ある時間間隔ごとの値に着目する。アナログ回路の過渡状態を計算する必要はなく、サンプル間隔 T_s ごとの離散的な回路の定常状態を対象に対して設計を行う。それゆえ、SCF は以下の特徴を持つ。

- ・ 容量比とクロック周波数で帯域幅が決まる
- ・ $R=T_s/C$ で記述できるクロック周波数で制御可能な等価抵抗を実現できる
- ・ クロック周波数の可変により、周波数軸方向に特性を伸縮可能である。

パッシブ型 SCF の設計パラメータは容量比とクロックである。微細プロセスにおいては容量の絶対値を正確に作ることは困難であるが、容量比の精度は高い。微細化が進めば進むほどクロック周波数は高くなる。RF 回路を CMOS で設計すれば同一チップ上のデジタル回路によってクロックや容量比を変更することも容易である。オペアンプを用いないパッシブ型の SCF であれば、低電圧下において高速動作も可能である。つまり、パッシブ型 SCF は微細 CMOS プロセスとの親和性が非常に高く可変性に優れる。

4. ダイレクトサンプリングミキサ

離散時間処理を用いた回路構成はいくつか例があるが、ここでは、一例として前述の文献[1]の離散時間受信機を説明する。図1に離散時間受信機の構成を示す。入力の振幅連続・時間連続の信号をサンプリングすることで周波数変換とともに振幅連続・時間離散の信号とし、キャパシタ間の電荷の伝達と共有によってフィルタリングとデジメーションを行い ADC の要求性能を緩和し、離散時間処理を行なうのが、ダイレクトサンプリングミキサ(DSM)である。図2に DSM の回路構成を示す。

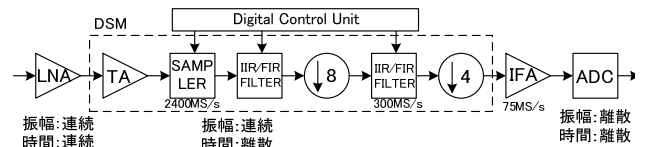


図1 離散時間受信機の構成

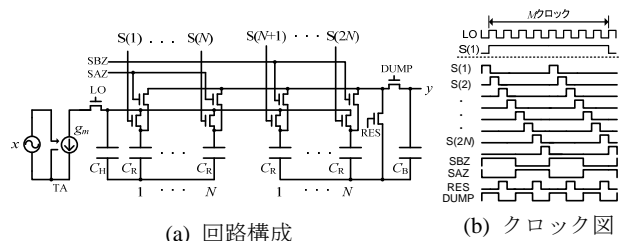


図2 ダイレクトサンプリングミキサの構成

以降で、DSM に用いられた離散時間処理を説明する。

5. 電荷サンプリングによる周波数変換

DSM は入力信号電圧をトランスコンダクタンスアンプ(TA)で電流に変換し、LO 信号の半周期の間容量に入力電荷を蓄積することで、電荷サンプリングによる周波数変換を行なう。出力信号の周波数スペクトル $V(\omega)$ は、入力信号の周波数スペクトルを $G(\omega)$ とすると次式で表される。

$$V(\omega) = \sum_{k=-\infty}^{\infty} G(\omega + k\omega_s) \cdot \text{sinc}\left(\frac{(\omega + k\omega_s)T_s}{4}\right) \cdot \frac{e^{j(\omega + k\omega_s)T_s/4}}{2} \quad (1)$$

DSM では入力信号にはほぼ一致した周波数の LO でサンプリングを行う。つまり、 $k=1$ 以外で出力のベースバンドに現れる成分を十分に抑圧(アンチエイリアシング)しておく必要がある。インパルスサンプリングでは、出力信号のスペクトルは、入力信号のスペクトルがサンプリング周波数を周期として無限に繰り返されたものになるが、電荷サンプリングではエイリアシン

グに Sinc のノッチを当てて、不要信号の抑圧を行う。

6 基本的なパッシブ型 SCF

ここでは、図 2 の DSM に用いられている基本的なパッシブ型 SCF の動作原理を述べる。

6.1 離散時間アナログ IIR フィルタ

(a) 電荷蓄積型 FIR

図 3(a)に電荷蓄積型 FIR の構成を示す。クロックがハイになる時間に容量に入力電荷が蓄積される。図 2 の DSM の入力部にて使用されている。

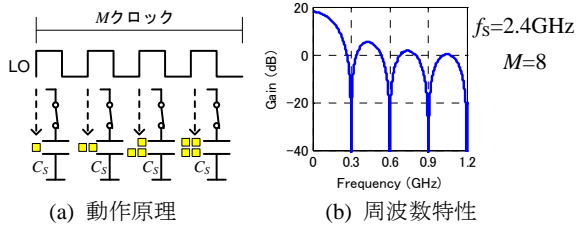


図 3 電荷蓄積型 FIR フィルタの動作と周波数特性

この動作は式(2)で表される差分方程式で記述できる。z 変換すると式(3)となり、伝達関数は式(4)で表される FIR となる。フィルタリングが行われると同時に出力のレートは 1/M にデシメーションされる。図 3(b)に周波数特性の一例を示す。

$$ax(n) + ax(n-1) + \dots + ax(n-(M-1)) = (C_H + C_R)y(n) \quad (2)$$

$$aX + z^{-1}aX + \dots + z^{-(M-1)}aX = (C_H + C_R)Y \quad (3)$$

$$H = \frac{Y}{X} = \frac{a}{(C_H + C_R)} \frac{1-z^{-M}}{1-z^{-1}} \left(a = \frac{g_m T_{LO}}{\pi} \right) \quad (4)$$

(b) 電荷共有型 FIR

図 4 に電荷共有型の FIR の構成を示す。電荷が蓄積された複数のキャパシタが電荷共有を行なう。図 2 の DSM の出力部にて使用されている。この動作は式(5)で表される差分方程式で記述できる。z 変換すると式(6)となり、伝達関数は式(7)で表される FIR となる。フィルタリングが行われると同時に出力のレートは 1/N にデシメーションされる。図 3(b)と同様の周波数特性を得ることができる。ここでは容量の値を同じにしたが、容量の値を異なるものにすれば係数に重み付けのついた FIR を実現できる。

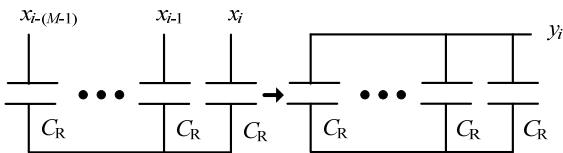


図 4 電荷共有型 FIR フィルタの動作

$$C_R x(n) + C_R x(n-1) + \dots + C_R x(n-(N-1)) = NC_R y(n) \quad (5)$$

$$C_R X + z^{-1}C_R X + \dots + z^{-(N-1)}C_R X = NC_R Y \quad (6)$$

$$H = \frac{Y}{X} = \frac{1}{N} \cdot \frac{1-z^{-N}}{1-z^{-1}} \quad (7)$$

6.2 離散時間アナログ IIR フィルタ

図 5 に電荷共有型の IIR フィルタの構成を示す。入力電荷が蓄積された容量と一周期前の出力電荷が蓄積された容量とが電荷共有を行なう。図 2 の DSM の入力部にて使用されている。

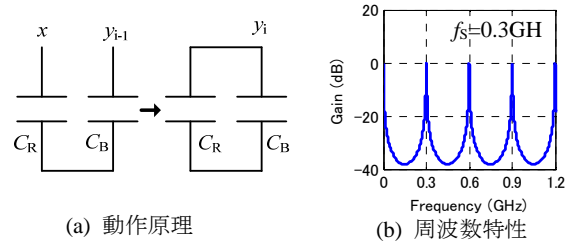


図 5 電荷共有型 IIR フィルタの動作と周波数特性

この動作は式(8)で表される差分方程式で記述できる。z 変換すると式(9)となり、伝達関数は式(10)で表される IIR となる。図 4(b)に周波数特性の一例を示す。

$$C_R x(n) + C_B y(n-1) = (C_R + C_B)y(n) \quad (8)$$

$$C_R X + z^{-1}C_B Y = (C_R + C_B)Y \quad (9)$$

$$H = \frac{Y}{X} = \frac{C_R}{C_R + C_B(1-z^{-1})} \quad (10)$$

カットオフ周波数は次式で表される。

$$f_{3dB} = f_s C_R / (2\pi C_B) \quad (11)$$

クロック周波数と容量比で帯域幅が決まることがわかる。

6.3 DSM トータルとしての特性

図 6 に DSM トータルとしての周波数特性を示す。IIR によって通過域で急峻な特性を得ると共に、IIR のピークに FIR のノッチをあてることによって広帯域な抑圧特性を得られていることがわかる。

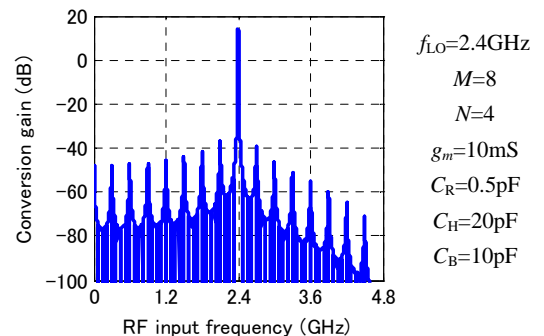


図 6 DSM 全体での周波数特性の一例

これまでに多数のパッシブ型 SCF の発表があるが、基本的には、ここで示したパッシブ型 SCF の動作を基本としている。

ただし、DSM に用いられた離散時間フィルタの特性は通過域近傍において単純な 2 次の IIR 特性にすぎない。以降では、

離散時間アナログフィルタでさらに多様なフィルタ特性を得るための手法を説明する。

7. パッシブ型 SCF の周波数特性の改善

パッシブ型 SCF はキャパシタに蓄積された電荷の移動だけで伝達関数が決まるため、実現できる特性に制限がある。ここでは、その制約下においてもさまざまな特性を実現するための手法を紹介する。

7.1 FIR フィルタの高次化

これまで紹介した FIR は 1 次の Sinc 特性を持つが、FIR を構成する複数の容量の接続順序を適切に制御することで Sinc の 2 乗特性を実現できる。文献[3]ではパッシブ SCF を可変性の高い SDR に適したベースバンド(BB)フィルタとして発表している。周波数変換は行わずに BB フィルタとして用いている点も特徴的である。

7.2 FIR フィルタと IIR フィルタの合成による広帯域化[4]

電荷共有型 IIR において 1 周期前の出力電荷の位相を 180 度ずらして電荷共有を行うことで、IIR のピークをシフトすることができる。この IIR と FIR を合成することで広帯域な通過域を実現することができる。ただし、帯域幅 $\approx f_s/2$ で折り返しが $n f_s$ に現れるので、折り返し抑圧用の回路が必要となる。UWB 向けの BB フィルタとして発表されている。

7.3 高次の離散時間アナログ IIR フィルタ

IIR フィルタが狭帯域特性を決めるため、IIR フィルタの高次化の検討が行われている。

(a) 縦続型[5]

DSM を縦続に接続して、伝達関数の高次化を行なう構成が提案されている。フィルタ次数を高めることができるが、段数の増加とともに利得が低下してしまう。

(b) 並列型[6]

DSM を並列に接続して、伝達関数の高次化を行なう。分子にも多項式を実現できるため、零点を実現できる。減衰極を実現し、近接妨害波除去特性を高めることができる。

7.4 離散時間アナログ IIR フィルタにおける複素零点の実現手法[7]

90 度位相のずれた 4 相のクロックで入力信号をサンプルすることで、伝達関数に複素数係数を実現することができる。複素係数の実現によって、LO 信号周波数に対して左右非対称なフィルタ特性を得て、イメージ除去が可能となる。

7.5 離散時間アナログ IIR フィルタにおける複素極の実現手法

(a) パッシブ型での実現方法[8]

1, 2 周期前の出力電位を保持し、入力電荷と合成することで伝達関数の分母に 2 次の多項式を実現し、複素極を実現できる。ただし、電荷共有では係数を任意に設定できず、複素極の実現範囲にも制限がある。

(b) ボルテージフォロワでの実現方法[9]

IIR を実現する電荷共有型を行なう際に、1 周期前の結果に重み付けをして共有に使用し、同時に共有結果のコピーを保持することで、分母多項式の係数を任意に選択できるようになる。電位のコピーをボルテージフォロワ、重み付けを容量の直並列変換で行なう構成が提案されている。バタワース、チェビシェフ特性といった通常のフィルタ設計を行うことができる。

7.6 高調波除去

LO が矩形波でのサンプリングでは、LO の奇数倍の周波数を持つ入力信号が所望信号に重なってダウンコンバートされてしまう。不要な高調波成分を除去する離散時間型の構成が提案されている。TA を複数用意することで擬似的に LO を正弦波に近づける方法[10]、オーバーサンプリングしてサンプリング容量に重み付けを行う方法[11]、などの提案がある。

8. まとめ

離散時間処理は微細 CMOS プロセスとの親和性が高く可変性にも優れており、ソフトウェア無線用 LSI を実現するに適した回路として期待されている。本稿では、DSM に用いられた構成をベースとして、離散時間アナログフィルタを説明し、さらに高度な離散時間アナログフィルタの設計手法を紹介した。

文 献

- [1] R. B. Staszewski et al, "All-Digital Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS," IEEE Journal of Solid State Circuits, Vol. 39, No. 12, pp. 2284-2286, Dec. 2004.
- [2] 武部, 岩田, 高橋, 國枝, "スイッチトキャパシタ回路", 現代工学社, Feb. 1985
- [3] R. Bagheri et al, "Software-defined radio receiver: Dream to reality," IEEE Commun. Mag., vol. 44, no. 8, pp. 111-118, Aug. 2006.
- [4] A. Yoshizawa and S. Iida, "An Equalized Ultra-Wideband Channel-Select Filter with a Discrete-Time Charge-Domain Band-Pass IIR Filter", CICC Dig. Tech. Papers, pp. 707-710, Jun. 2007
- [5] K. Muhammad et al, "Technique for improving antialiasing and adjacent channel interference filtering using cascaded passive IIR filter stages combined with direct sampling and mixing," U. S. Patent Application Publication, US2005/0104654 A1, May. 2005.
- [6] Y. Morishita et al, "Design and fabrication of serial parallel connection of direct sampling mixer," IEICE Trans. on Electron. (in Japanese), vol. J90-C, no.12, pp.903-912, Dec. 2007.
- [7] Y. Morishita et al, "Design of a Direct Sampling Mixer with a Complex Coefficient Transfer Function," IEICE Trans. on Electron., vol.E95-C, no.6, pp.999-1007, Jun. 2012.
- [8] 山下, 和田, 田所, "複素極を有するダイレクトサンプリングミキサによる通過域端特性の改善", 電気学会電子回路研究会 ECT-08-89, pp. 29-33, Nov. 2008
- [9] H. Shiozaki and K. Araki, "Wide-Band Direct Sampling Mixer with Complex-Pole Synthesis," Proc. APMC, pp.1031-1034, Dec. 2010.
- [10] H. Shiozaki, T. Nasu and K. Araki, "Design and Measurement of Harmonic Rejection Direct Sampling Mixer," Proc. APMC, pp. 293-296, Dec. 2009.
- [11] Z. Ru, E. Klumperink, and B. Nauta, "A discrete-time mixing receiver architecture with wideband harmonic rejection," in IEEE ISSCC Dig. Tech. Papers, Feb. 3-7, 2008, pp. 322-616.