

# 高速・高周波 CMOS アナログ回路入門

## Introduction to high-speed, high frequency CMOS analog circuits

谷口 研二

Kenji Taniguchi

大阪大学大学院工学研究科 電気電子情報工学専攻

〒565-0871 大阪府吹田市山田丘 2-1

Department of Electric Electronics and Information Systems, Osaka University

Yamada-oka, Suita, Osaka, 565-0871 Japan

E-mail: taniguti@eie.eng.osaka-u.ac.jp

Abstract: A design methodology of RF and high speed analog CMOS circuits is discussed especially for beginners of LSI circuit design. Starting from a small signal model of MOSFET, I explain noise propagation through Si substrate, electro-magnetic couplings and then discuss a couple of methods to avoid the noise propagation. Design of high speed CMOS operational amplifiers is described based on RC time constant corresponding to 2<sup>nd</sup> pole and follows by the design of LNA in the last section.

### 1. はじめに

本基礎講座は CMOS アナログ回路設計の初心者を受講対象者としている。講義内容は、まず、MOSFET の構造とその高周波応答などの電気的特性について詳しく説明する。続いて、高周波の領域で特に問題視されている半導体基板や寄生容量・寄生インダクタなどを介した雑音の伝播について解説した後、それらの知見を基に雑音耐性の高い高速オペアンプを例にアナログ回路の設計法について議論する。続いて、高周波用フィルタと低雑音回路を解説する。

一般に、周波数 GHz 程度の高周波信号を処理する回路では一般にインピーダンスの整合を前提とした回路設計が行われている。その一方で Si 集積回路チップ上に高周波・高速ア

ナログ回路を搭載する場合の回路設計では入出力回路部を除いてインピーダンス整合はほとんど意識されることはない。これは、一辺 1cm 以下の高周波・高速アナログ回路内部の配線長は高周波信号の波長の 1/10 以下であり、インピーダンス整合を考慮しなくても回路の信号伝達効率が劣化しないからである。本稿では集積回路チップへ RF・高速アナログ回路を搭載することを目標としており、特に明記しない限りインピーダンスの整合は考えない。

### 2. MOSFET の構造

CMOS 回路は p チャネルと n チャネルの MOSFET(Metal Oxide Semiconductor Field Effect Transistor)を相補的に組み合わせた回路である。1980 年代までは高周波・高速アナ

ログ回路にバイポーラ素子が広く使用されてきたが、2000年以降はバイポーラ素子に代わって MOSFET を用いた回路設計が主流になっている。この背景には、バイポーラ素子の遮断周波数  $f_T$  を上回る MOSFET が素子の微細化によって容易に実現できる時代になったことがある。

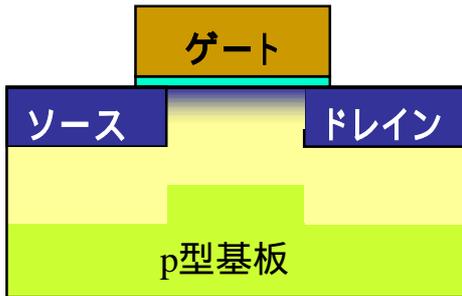


図1. MOSFETの基本構造

MOSFET の基本構造は図 1 に示すようにソース、ドレイン、ゲートの 3 端子で構成されている。ソース・ドレイン間に電圧を印加した状態でゲート電極に電圧を印加するとチャネル領域に反転電荷が現れ、それがソース・ドレイン間に流れてドレイン電流  $I_D$  となる。MOSFET の性能はゲート電圧変動に対するドレイン電流の変化量(相互コンダクタンス  $g_m$ )で表されるが、単にゲート酸化膜厚を薄くしてもゲート容量も比例して増大するので、期待したほどの効果は得られない。このため、MOSFET の遮断周波数  $f_T$  の向上はもっぱらチャネル長  $L$  の短縮で実現されてきた。遮断周波数はほぼチャネル長の逆数に比例して順調に伸び続けており、チャネル長  $0.1\mu\text{m}$  の MOSFET の遮断周波数は  $100\text{GHz}$  にも達している。

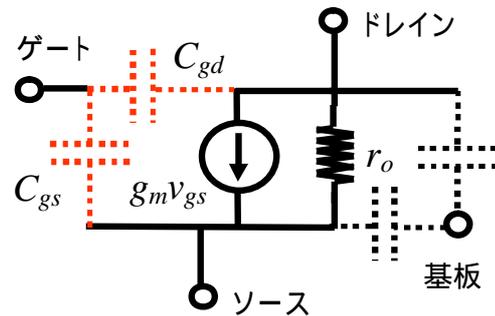


図2. MOSFETの小信号等価回路

図 2 に MOSFET の小信号等価回路を示す。図中の相互コンダクタンス  $g_m$  や出力抵抗  $r_o$  はドレイン電流  $I_D$  の関数として表される。高周波回路ではこれら以外にも各端子間の容量  $C_{gd}$ ,  $C_{dsub}$  などが回路特性に重要な働きをする。

### 3. 高速回路: 寄生容量の低減がポイント

ゲート電圧  $v_{in}$  をドレイン電流  $i_d (=g_m v_{in})$  に変換する MOSFET を利用すると微小な信号を増幅することができる。すなわち、微小なゲート電圧の変動で生じたドレイン電流の変化  $i_d$  を負荷インピーダンス  $Z_{out}$  に流せば  $Z_{out}$  に比例した出力電圧  $v_{out}$  が取り出せる。このため、増幅回路の利得向上には相互コンダクタンス  $g_m$  と負荷インピーダンス  $Z_{out}$  の増大が効果的である。なかでも負荷インピーダンス  $Z_{out}$  を高める簡便な方法としてソース接地増幅回路にゲート接地回路を組み合わせたカスコード増幅段がよく利用される。

高速なアナログ回路を設計するには寄生負荷容量を低減することが肝要である。大きな負荷容量があると高周波信号に対する出力インピーダンス  $Z_{out}$  が小さくなり、増幅利得が稼げないからである。特に高周波・高速アナログ回路では出力端子につながる MOSFET のレイアウトに配慮してドレイン容量を低減することが大切である。すなわち、入出力段に  $W/L$  の大きな MOSFET を使用する場合、

素子を分割して、ドレイン端子をまとめてドレイン容量を大幅に削減すると高周波特性の優れた回路になる。

### 3. 雑音の原因とその対策

最新の集積回路には高周波・アナログ回路とデジタル回路が混載されることが多い。その場合、寄生キャパシタや寄生インダクタ、シリコン基板を介してデジタル信号線からアナログ信号線にノイズが伝播することを念頭においてレイアウトをしなければならない。特に寄生パスを経由して伝わるノイズは周波数が高くなるほど顕著になるので、高周波・アナログ回路ではこの種のノイズを極力抑えることが性能向上の鍵となる。

#### シリコン基板を伝播するノイズ

半導体基板は、高周波信号にとって抵抗体もしくは誘電体とみなせるが、抵抗率が数・cm程度のシリコン基板では、基板を抵抗体としても問題はない。デジタル配線やドレイン拡散層の近傍からは電位変動が起こる度に多量の電子・正孔がシリコン基板に放出され、これらの電荷がシリコン基板中を流れてシリコン基板の電位を変化させる。このため、CMOSアナログ回路ではMOSFETのしきい値が経時的に変化し、回路動作に深刻な影響を与える。実際の回路設計ではこのシリコン基板を伝播する雑音を抑えるため、デジタル信号線を金属板で遮蔽したり、図3のようにクロック線やドレイン拡散層の近傍に設けた拡散層の電位を固定して、放出された電荷を収集することが行われている。

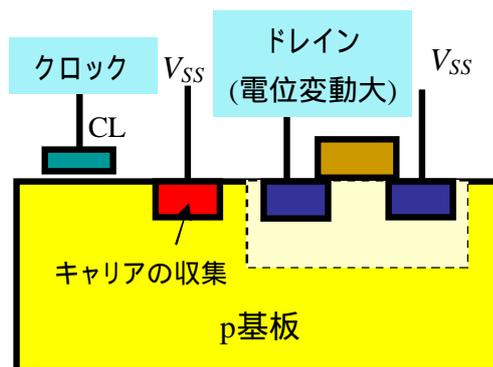


図3.基板雑音の抑制方法

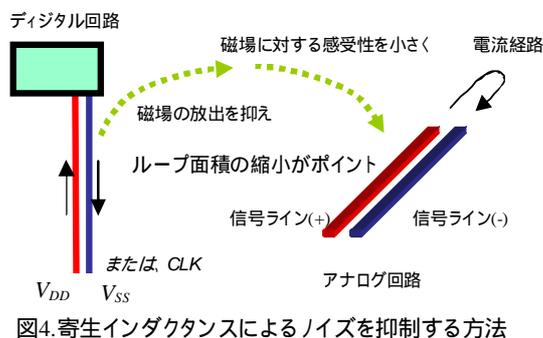
#### 寄生キャパシタを経由するノイズ

マックスウエルの電磁界方程式によれば、電界の時間微分と誘電率との積に相当する変位電流が配線間に流れる。この変位電流は信号の周波数が高いほど顕著になるので、高周波・高速アナログ回路では変位電流に十分配慮したレイアウトが欠かせない。なかでもアナログ回路の信号線とクロックラインとが交差する箇所ではこの変位電流の影響を受け易いため、クロックラインを金属配線で遮蔽したり、アナログ信号線を全差動構成にして、その影響を軽減する。後者の全差動構成による信号伝達法はノイズ耐性に優れており、ほとんどすべての高周波・高速アナログ回路で採用されている。

#### 寄生インダクタを経由するノイズ

配線に電流を流すと配線の周囲に右ねじの回転方向に磁場が発生する。このため、配線中の電流量が変化する度に配線近傍の磁場が変わり、それが隣接する配線に電磁誘導によるループ電圧を生み出す。言い換えるとクロック配線の電位が変動するたびに周囲の信号線にノイズが伝わることになる。この寄生インダクタ(電磁誘導)を介したノイズを抑制するには、ノイズ発生源である放出磁場の低減と、アナログ信号線側での磁場感受性を

低減することがポイントとなる。図 4 に示すように、前者 については、クロック配線(電源ライン)を差動構成にし、それらをできるだけ近接配置して配線から放出される右回りの磁場と左回りの磁場を意図的にキャンセルして磁場の実効的な放出量を減らしている。一方、後者 については、差動構成のアナログ信号線を近接配置して、差動信号線のループ面積を極力小さくして磁場による感受性を小さくする。



#### 電源ラインのノイズの影響

アナログの電源線  $V_{DD}$  や接地線  $V_{SS}$  の電位が微妙に変化すると、無入力の場合でも出力電圧が変動する。電源線のノイズの伝播は回路で使用した MOS 素子の特性に依存する。

ここでは図 2 に示す MOSFET の小信号等価回路を基に電源ラインのノイズが出力端子にどのような影響を及ぼすか考える。

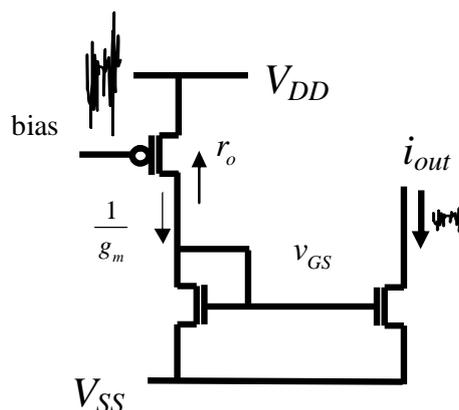


図5. 電源電圧の変動が出力電流に及ぼす影響

図 5 に示す電源線電圧が微小量  $v_{dd}$  変動すると p チャネル MOSFET の出力抵抗  $r_{op}$  とダイオード接続した n チャネル MOSFET の相互コンダクタンス  $g_{mn}$  の影響でカレントミラー回路のゲート電圧  $v_{gs}$  が変動する。これが出力電流に  $v_{dd}/r_{op}$  の変化をもたらす。上の例では低周波ノイズが電源線に重畳している例を説明したが、高周波雑音も電源線に重畳している場合には、MOSFET の寄生容量を介して出力電流の方が顕著になる。すなわち、図 6 の電源ライン電圧が変動すると p チャネル MOSFET のドレインキャパシタンス  $C_{dsub}$  と n チャネル MOSFET のゲートキャパシタンス  $C_{gs}$  とで分割された電圧変動がカレントミラー回路のゲート電極  $v_{gs}$  に現れる。このため、出力端子には  $g_{mn}V_{dd}(C_{dsub}/C_{gs})$  の余分な電流が流れ、それが出力電圧変動につながる。この電源線に重畳した高周波雑音を抑えるには、p チャネル MOSFET のドレイン容量  $C_{dsub}$  を低減すると同時にカレントミラー回路部の  $C_{gs}$  を大きくすることが肝要である。

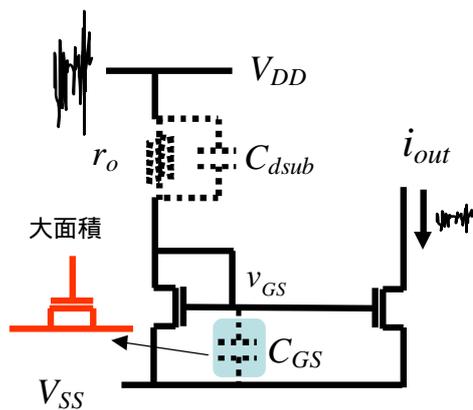


図6.高周波ノイズ(電源ライン)の影響

ドレイン容量  $C_{dsub}$  の低減には、2 節の最後に述べたドレイン領域の分割がある程度効果的である。一方、ゲート容量  $C_{gs}$  を意図的に増大させるには大面積の MOSFET を使用する。大面積の MOSFET のソース端子とドレイン端子を接続すると、ソース・ドレイン共通端子とゲート電極の間にはゲート酸化膜の大きなキャパシタが現われる。この大面積の MOSFET をカレントミラー回路のゲート電極と接地ラインとの間に挿入すれば電源電圧変動の影響を大幅に抑制することができる。高周波用のカレントミラー回路では、ミラー回路のゲート電極部に大面積の MOSFET を挿入することが広く一般的に行われている。

#### 4. 高速オペアンプ(OTA)の設計

GHz オーダーの高周波信号を処理する CMOS 回路には高周波に特有な回路上の工夫が必要となる。後述のフィルタ回路などで使用されるオペアンプ(OTA)では動作の安定性を保証するために、支配的なポール(極)と、それ以外のポールの周波数軸上での位置関係が重要となる(位相補償)。汎用的なオペアンプでは第 2 ポールをユニティゲイン周波数の 2~3 倍程度の周波数に設定する。例えば、出力端子に支配的な極があるオペアンプ(OTA)の例

では、カレントミラーの極が第 2 ポールとなる。n チャネル MOSFET に比べて周波数特性の劣る p チャネル MOSFET をカレントミラーに使用すると、第 2 ポールの周波数が低くなるので、高周波回路としては不適切である。

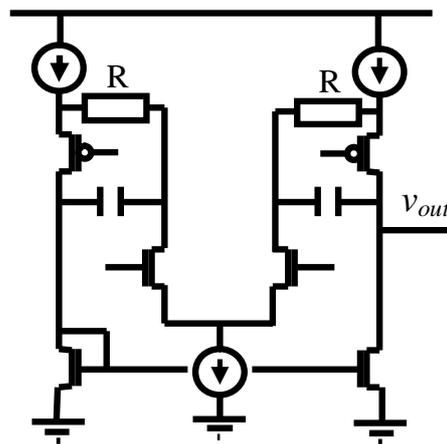


図7.nチャネルMOSカレントミラーのゲートが第2極となる

一方、n チャネル MOSFET でカレントミラー回路を構成すると周波数応答はかなり改善される。しかし、この回路構成でも周波数特性が不足気味だと、図 7 に示すキャパシタを介した信号の迂回策が有効となる。また、カレントミラー回路を使用しない全差動型のカスコードオペアンプにすれば、さらに高い周波数まで動作するオペアンプ回路が実現できる。

#### 5. フィルタの設計

無数の電波の中から所望の信号を取り出すフィルタ回路としては  $g_m$ -C フィルタやスイッチトキャパシタ回路などがあるが、高周波機器では高速応答が可能な  $g_m$ -C フィルタがよく使用される。

$g_m$ -C フィルタは積分回路が基本となる。OTA で入力電圧に比例した電流をキャパシタに流すと、入力信号の積分値がキャパシタの両端に現われる。その積分結果を入力側にフ

ィードバックすると、図 8 に示す 1 次の極を持つフィルタができる。

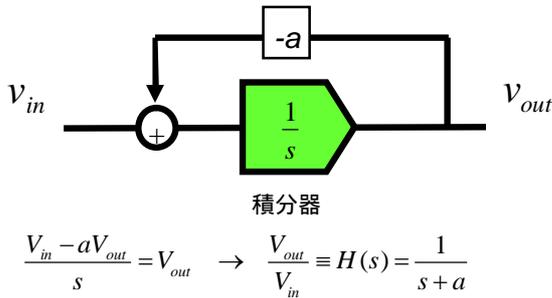


図8.積分器を用いた極の作り方

2 次の極を持つフィルタは、図 9 に示すように、2 段の積分器の結果を入力側にフィードバックして実現できる。さらに入力端子にキャパシタと OTA を並列接続すれば 1 次の零点を作り出すこともできる。

一般に、高周波機器で使用されるフィルタ回路には高い線形性が求められる。ただ、線形性と高周波応答速度との間にはトレードオフの関係があり、応答速度を優先する際には最も単純な差動アンプが  $g_m$  発生回路として使用される。一方、優れた線形性を必要とする OTA では差動構成に配置した 2 つの MOSFET のソースを抵抗(線形領域で動作する MOSFET)で結合したものが使用することが多い。

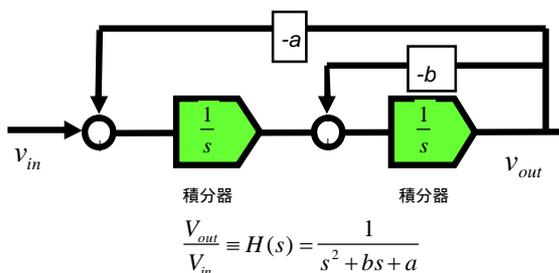


図9.積分器2個を用いて2次の極を作る方法

## 6. 高周波増幅回路

集積回路の外部から微弱信号をチップ内に

取り込む際、入力信号電力の伝達効率を上げるために増幅回路部の入力インピーダンスを整合する。特に無線受信機器の初段の LNA や光通信の受信部の TIA(Trans-impedance Amplifier)などではインピーダンスマッチングが欠かせない。CMOS 回路のインピーダンスマッチング法としては図 10 に示す例がある。最初に、高周波受信器に使用される狭帯域の LNA のインピーダンスマッチングについて説明する。

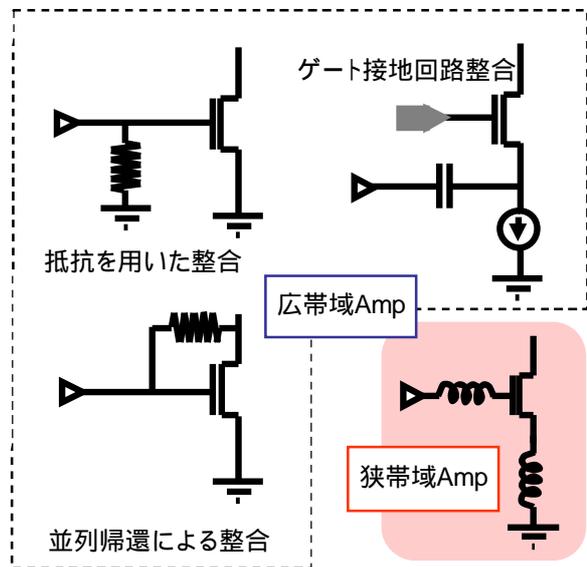


図10.広帯域増幅回路と狭帯域増幅回路の例

### 狭帯域 LNA 回路

増幅回路として使用されることが多いソース接地増幅回路の入力インピーダンス(MOSFET のゲート容量)は大きく、そのままではアンテナ側の特性インピーダンスにマッチングしない。このため、集積回路基板上に作製したオンチップインダクタ  $L_s$  を MOSFET のソース側に挿入し、ゲート・ソース間キャパシタ  $C_{gs}$  と直列接続して入力インピーダンスを大幅に低減する。さらに所望の周波数で共振が得られるようオフチップのインダクタ  $L_g$  を挿入する。このような構造にすることで入力インピーダンスマッチングに加

えて共振による効率的な増幅が可能となる。

さらに出力側には、図 11 に示すカスコード増幅回路と LC タンクを接続して狭帯域の増幅を行う。ゲート接地回路は出力端子側からの信号伝播を防止する役割を担っている。インダクタ  $L_D$  とキャパシタ  $C_D$  を並列接続した LC タンクは共振周波数において非常に大きなインピーダンスとなるよう  $L_D$  と  $C_D$  の値を設定して狭帯域の増幅をおこなう。

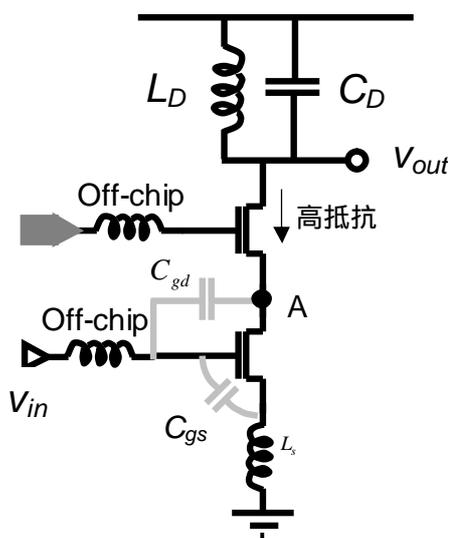


図11.インピーダンス整合した狭帯域増幅回路

#### 広帯域増幅回路

ソース接地増幅回路のゲート電極とドレイン端子との間に抵抗を挿入して、出力の一部を並列帰還すると比較的広帯域の増幅回路が得られる。さらに周波数を広帯域にするため、ピーキングという手段がとられることがある。周知の通り、出力端子の寄生キャパシタが増幅回路の遮断周波数の原因である。この寄生キャパシタ  $C$  と並列(小信号)にインダクタ  $L$  を挿入して零点を生成し、周波数の増大と共に減少する出力インピーダンスを遮断周波数付近で補償する方法がピーキング技術である。周波数応答の計算によると、負荷側のインダクタと直列に挿入された抵抗  $R$  との間に

$R^2C/L=2.41$  の関係を持たせると最大の帯域が得られる。その他にも、インダクタを複数組み合わせて帯域を増加させる方法も使われている。しかし、どの方法も MOSFET の限界を少し高めるための小手先の手段であり、根本的な解決にはなっていない。

#### 7. RF・高速アナログ回路特有の問題

最新の高周波装置の中で使用される CMOS 集積回路にはチャンネル長  $0.1\mu\text{m}$  以下の極めて小さい MOSFET が使われ始めている。チャンネル長が  $0.1\mu\text{m}$  程度になると、半導体の耐圧の面から電源電圧の上限は  $1\text{V}$  程度にしかない。このため、将来的には十分な信号振幅が得られない。それに加えて熱雑音がゲート面積の逆数に比例して増加するので、SNR(Signal-to-Noise Ratio)がますます小さくなる。さらに、チャンネル長  $0.1\mu\text{m}$  以下の MOSFET ではしきい値電圧のばらつきが極めて大きく、将来的には CMOS アナログ回路の性能劣化は免れない。このことは素子を微細化することで大きな効果が期待できるデジタル回路とは事情が違っている。将来的にはデジタルスイッチとして MOSFET の特徴を活かしたアナログ回路の開発が重要となるだろう。例えば、MOSFET のスイッチング機能を組み込んだスイッチトキャパシタ回路や変調器など、離散的な信号処理を考えたアナログ回路が今後の RF、高速アナログ回路の開発が鍵となる。

#### 参考文献

- [1] 谷口研二著:「LSI 設計者のための CMOS アナログ回路入門」、CQ 出版
- [2] P. E. Allen, D. R. Holberg, “Cmos Analog Circuit Design,” Oxford Univ. Press, ISBN: 0195116445 ; 2nd edition (2002/01/15).
- [3] Behzad Razavi, 黒田 忠広 (訳)「アナログ

CMOS 集積回路の設計」基礎編, (2003/03) 丸善  
[4] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis,  
Robert G. Meyer, “ Analysis and Design of Analog  
Integrated Circuits, ” John Wiley & Sons Inc ; ISBN:  
0471321680 ; 4th edition (2001/02/15)