

初学者のためのマイクロ波工学入門 —マイクロ波トランジスタの基礎と応用— A Gentle Introduction to Microwave Technologies I -Microwave Transistors-

大野泰夫
Yasuo Ohno

〒770-8506 徳島市南常三島町 2-1
徳島大学工学部電気電子工学科
Department of Electrical and Electronic Engineering, The University of Tokushima
2-1 Minami-Josanjima, Tokushima 770-8506, Japan
Phone: +81-88-656-7438, FAX: +81-88-656-9060, e-mail:ohno@ee.tokushima-u.ac.jp

Abstract

Microwave transistors are the key devices in wireless communication and high-speed digital systems. In this session, their basic operation mechanism and technological issue are explained. The topics include widely used GaAs and silicon devices and newly introduced GaN-based devices which are expected as the key devices in future high speed and high frequency systems.

1. はじめに

携帯電話の普及からマイクロ波通信が身近なものとなり、そこで使われるトランジスタも高価で特別なものから低価格で大量生産に対応するものとなってきた。以前は GaAs 系のデバイスが中心であったが、最近では Si 系バイポーラトランジスタや CMOS も使われるようになってきている。一方では、より高出力を狙った窒化ガリウム系も急速に研究が立ち上がってきている。デジタル IC では集積度、消費電力、速度、コストが重要な課題であり、微細化されたシリコン CMOS が主流となっている。マイクロ波トランジスタでは、高出力、高効率、低歪み、低ノイズなどが課題となるため、デジタル用トランジスタ技術がそのまま使えるわけではない。本基礎講座では、マイクロ波トランジスタの動作、応用を理解するのに必要な基礎的な事項について、最近の動向に関連して解説する。

2. トランジスタ理解の基本事項

2.1. 半導体

図 1 に典型的な半導体のバンド構造を示す。実線で示した伝導帯や充満帯などのバンド上に

電子が存在する。統計力学の法則から電子は低いエネルギーから詰まっていく。バンドが存在しないエネルギー領域はバンドギャップと呼ばれる。半導体結晶を形成する原子は正の電荷を持ち、電子は負電荷を持つことから、あるエネルギーまで電子が詰まったところで電荷が中性となる。半導体の特徴は、電荷中性がバンドギャップを境に丁度その下まで詰まったところで

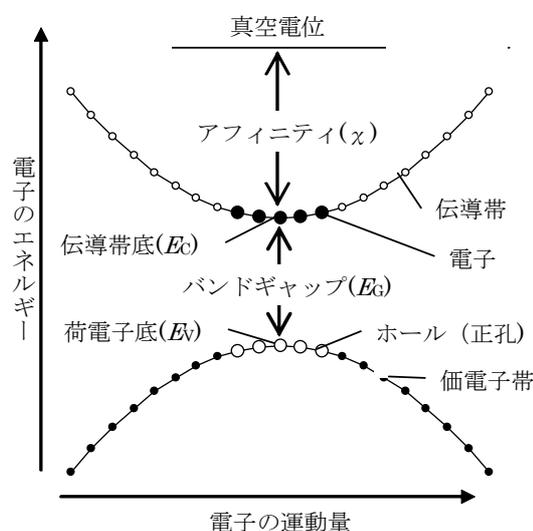


図 1. 半導体のエネルギーバンド図。

成り立つことにある。

各バンドに電子が完全に詰まったり、あるいは全くいない場合は、電界を印加して個々の電子の状態は変化しても電子の総運動量はゼロで、電流は流れない。電流が流れるためにはいずれかのバンドで電子の不完全な充満状態が発生し、電界によりその分布が運動量空間で非対称になることから起こる。電子のいないバンドに電子が現れれば負電荷を持つ電子の運動となる。電子が詰まっているバンドで、一部の電子が抜ける場合は、それをホール、空孔と称し、正電荷を持った粒子として扱うことができる。

2.2. マクスウエルボルツマン分布

半導体中の電子密度 n はマクスウエルボルツマン分布則により

$$n = N_C \exp\left(\frac{E_C - \psi_{Fe}}{kT}\right) \quad (1)$$

と表される。 N_C は伝導帯の有効状態密度、 E_C は伝導帯のエネルギー、 ψ_{Fe} は電子のフェルミ準位、 k はボルツマン定数、 T は絶対温度である。ボルツマン分布則は半導体デバイスの動作を根本から規定する重要な自然法則である。 kT は室温では 25.8meV である。半導体デバイス解析では電子のエネルギーを表すのに eV という単位を用いる。 1eV は電子のポテンシャルエネルギーを 1V 上げるのに必要なエネルギーで、

$1\text{eV} = 1.602 \times 10^{-19}\text{J}$ である。電子密度と端子電圧の関係を見るのに便利な単位である。式(1)から、 300K においては半導体の静電ポテンシャルがフェルミ準位に対して 25.8meV 変化すると e 倍の電荷密度変化が起こる。これは 60meV ($=25\text{meV} \times \log_e 10$) で 10 倍の変化とすると覚えやすい。同様な関係式はホールについても成り立つ。

2.3. 半導体が使われる理由

一般に、半導体はその電気伝導度が導体と絶縁体にあるものと理解される。しかし、トランジスタの材料として半導体がいられる理由はその伝導度の値でなく、伝導度変化のダイナミックレンジの広さのためである。伝導度が極めて高い金属は半導体と異なり、電荷中性がバンドの途中まで電子が詰まった条件で実現している。このため多数の電子が伝導に関与し、電界効果などで電子を少々増やしたとしてもその比率は全く無視しうる程度である。

半導体では、式(1)で示されるようにフェルミ準位に対する静電ポテンシャルを変化させると電子濃度を変化させることができる。フェルミ準位を変化させ、電子濃度を減らすと、同時にホール濃度が上昇する。両者が同じ値になる濃度は真性キャリア密度 n_i と呼ばれる。このキャリア濃度が半導体で実際に実現できる最高抵抗

	単位	Si	GaAs	InP	GaN	SiC(6H)
格子定数	(Å)	3.57	3.57	3.57	3.54	3.57
熱伝導度	(W/cm · deg)	1.5	0.46	0.7	1.3	4.9
バンドギャップ	(eV)	1.12	1.42	1.35	3.39	3.02
真性キャリア濃度	(cm^{-3})	1.5×10^{10}	1.8×10^6	1.3×10^7	1.7×10^{-10}	1.2×10^{-08}
電子比有効質量	(m_e)	0.98, 0.19	0.067	0.077	0.19	0.6
ホール比有効質量	(m_e)	0.16, 0.49	0.082, 0.45	0.64	0.6	1
静電破壊電界	(V/ μm)	30	40	50	200	300
電子移動度	(cm^2/Vs)	1500	8500	5400	2000	400
ホール移動度	(cm^2/Vs)	470	400	200	30	50

表 1. 各種半導体の物性値比較

値を決めるが、その値は各半導体の持つバンドギャップエネルギーや環境温度によって異なる。一方、実際の半導体結晶では達成できる純度が有限である。そのため不純物の持つ電荷でキャリアが誘起される。通常 $10^{14} \sim 10^{21} \text{cm}^{-3}$ 位の範囲で人為的、電氣的にキャリア濃度が制御可能である。抵抗のダイナミックレンジが広くても、それが回路的に使いやすい領域にあるかは別問題である。これはオームの法則を用いて、デバイスの幅や長さなど幾何学的大きさを調整している。

2.4. フェルミ準位

半導体デバイスの説明ではフェルミ準位という言葉が必ず出てくる。物理学では"化学ポテンシャル"と呼ばれ、粒子濃度も関与した一種のポテンシャルエネルギーである。その定義から、熱平衡では化学ポテンシャルが等しくなり、粒子の移動は起こらない。

さらにその概念を拡張して、粒子の移動は化学ポテンシャルの傾きに比例するという線形輸送モデルや、電子系とホール系は各熱平衡であるが電子とホールは熱平衡にない様な状態にも用いられる。このような状態は絶対的熱平衡ではないので、擬フェルミ準位と呼ばれる。電子の擬フェルミ準位、ホールの擬フェルミ準位、擬フェルミ準位の勾配、等のように使われる。半導体デバイスの動作に関連する理論のほとんどは、これらの擬フェルミ準位を用いて定式化されている。擬フェルミ準位の理解は、半導体デバイス動作理解にとって必須の概念である。一般に端子に電圧をかけるということは端子に擬フェルミ準位を与えることであって、電磁気学で言う静電ポテンシャルを与えるのとは異なる。但し、半導体デバイスの外部など、同じ温度、同じ材質の電極では静電ポテンシャル差とフェルミ準位差は全く同じなので余り問題にならない。一方、ガウスの定理など静電ポテンシャルについて成り立つ法則は式(1)の E_c に対して成り立つ。

2.5. 真空中の電子と半導体中の電子

真空中の電子と半導体中での電子にはいくつかの違いがある。一つはその重さである。真空の電子は $9.1 \times 10^{-28} \text{g}$ で一定である。一方、半導体中の電子は、半導体結晶の周期構造の周期的ポテンシャルエネルギーが作る波束が粒子状の固まりとなり、電位の変動に対する波束の速度変化から質量が決まる。これを有効質量と呼ぶ。基本的にはこの有効質量を持つ一般粒子として扱えるが、結晶構造の違いから半導体ごとに異なり、また結晶構造の対称性に対応して加速方向によっても異なる。軽いと加速が良く、高速動作に向いている。

もう一つは先にも述べたホールの存在である。真空の電子に対しても陽電子という正電荷もった粒子が存在するが、それは極めて寿命が短く、また発生に高エネルギー(0.5MeV)を要するため、簡単には利用できない。半導体ではホールが簡単に発生でき、電子と組み合わせて電子デバイスや光デバイスで応用される。ホールとは、バンド構造図で上に凸のバンドである充満帯などの電子の空きで、電子が正質量と負電荷を持つ粒子であるのに対し、正質量と正電荷を持つ粒子として振る舞う。

第3の違いは電界をかけた場合の運動の違いである。真空中の電子は、電界により連続的に加速され、最後は光速度に近づく。一方、半導体では結晶中に電子の運動を阻害する要因が多く、その運動が妨害される。質量 m の電子が E という電界の中で運動する場合、その速度変化は

$$\frac{dv}{dt} = \frac{eE}{m} - \frac{v}{\tau} \quad (2)$$

で表される。 v は電子速度、 e は電子電荷、電子の走行の妨害要素は散乱と呼ばれ、 τ は散乱の大きさを表す緩和時間である。小さいほど妨害が大きいことを表す。

電子に電界を印加すると式(2)に従って電子は加速されるが、定常状態では式(2)の両辺がゼロとなるので

$$v = \frac{eE\tau}{m} = \mu E \quad (3)$$

となる。ここで μ は、電子速度と電界を結びつける比例定数でドリフト移動度と呼ばれる。有効質量 m が小さいほど、緩和時間 τ が大きいほど大きくなる。

散乱の緩和時間を決める要因は、結晶構造の周期性を乱すもので、結晶欠陥、不純物原子などがある。これらは結晶技術の向上で改善していくことができる。しかし、避けられないものに結晶原子の熱運動がある。結晶の熱運動をフォノンという準粒子の運動に置き換えることができるので、フォノン散乱と呼ばれる。フォノン散乱は温度の低下により下げることが出来るが、日常使う携帯機器などでは低温下で使うことは不可能であり、一方で寒冷状態から高温状態まで動作することが求められるため、キャリアドリフト移動度の変化は回路設計では大きな問題となる。

3. トランジスタ

3.1. トランジスタの種類

トランジスタとは半導体上の2端子間の電気抵抗を第3の端子で制御する、3端子デバイスを指す。大きく分けてバイポーラ型と電界効果(FET、Field Effect Transistor)型がある。図2(a)(b)に断面構造を示す。一見全く異なる用に見えるが、その差は電流を、基板表面に対して縦に流すか横に流すかであり、その違いは動作原理ではなく作り安さから来ている。電子が流れ出す端子はバイポーラ型ではエミッタ、FETではソース、流れ込む端子はコレクタとドレイン、制御する端子はベースとゲートと呼ばれる。

トランジスタでは伝導度変化を起こさせるキャリアとして電子とホールがある。バイポーラではその電極構成からpnp型とnpn型になる。FETではnチャネル型、pチャネル型に分けられる。原理的にはどの半導体でも両者を作りうるが、一般にキャリアドリフト移動度は電子の方が大きいのでpnp型やnチャネル型が主流である。電子を用いるかホールを用いるかは、制御電圧に対する伝導度変化が逆になる。これを組み合わせることでプッシュプル回路やコン

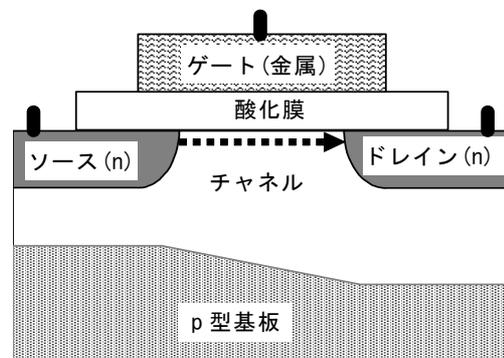
プリメンタリ回路が実現できる。これを用いて超低消費電力のデジタル回路を実現しているのがシリコンCMOSである。以下の説明では主に、npn型、nチャネル型を例にとって説明する。

3.2. 不純物による伝導度の変調

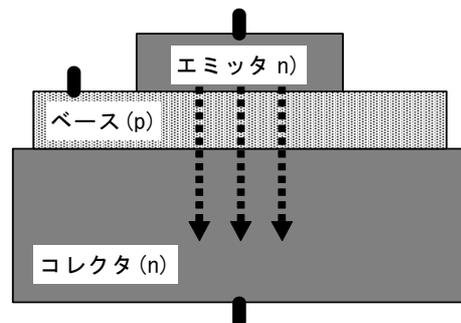
半導体では純粋な状態で熱平衡で電荷中性状態にあるときは、伝導帯の自由電子や価電子帯の自由ホールの数は極めて少ない。これにドナー不純物やアクセプターの不純物を添加することで、電荷中性状態での自由電子濃度やホール濃度を制御できる。ドナーやアクセプタの濃度が低ければ電界効果で自由キャリアの量が制御できる。一方、高濃度にした場合は金属と同様に制御は難しくなるが、低抵抗になるのでトランジスタの電極部分に使われる。

3.3. 電圧による伝導度の変調

トランジスタでは第3の端子からの電圧により伝導度に変調される。式(1)で示されるように伝導度の変化は電子のフェルミ準位と半導体の



(a) MOSFET 断面図



(b) バイポーラトランジスタ断面図

図2 トランジスタの種類

伝導帯のポテンシャルを変化させることで実現される。電源で規定された電子の擬フェルミ準位に対して、直接静電ポテンシャルを変化させようと言うのが電界効果トランジスタ(FET)で有るのに対し、バイポーラトランジスタではホールの擬フェルミ準位を用いて静電ポテンシャルを制御する点異なる。

ここで、静電ポテンシャルとは一般には真空中の電位をさすが、半導体では真空中の電位、伝導帯のエネルギー E_c 、価電子帯のエネルギー E_v はアフィニティ(χ)やバンドギャップ(E_G)という物質固有のパラメータで結びつけられている(図1)。静電ポテンシャルの変化はバンドエネルギーの変化と考えると差し支えない。

3.4. バイポーラトランジスタ

バイポーラトランジスタでは、静電ポテンシャルの変化をホールの擬フェルミ準位の変化を用いて行う。電子が走行するベース部分はp型半導体で出来ており、それに高不純物濃度のp型ベース電極が接続されている。ベースに電圧を印加することはベース領域のホールの擬フェルミ準位を変化させることになる。流れる電子濃度よりもとからあるホールの濃度の方が高いため、電荷中性の条件から静電ポテンシャルはホール擬フェルミ準位と一緒に変化する。結果

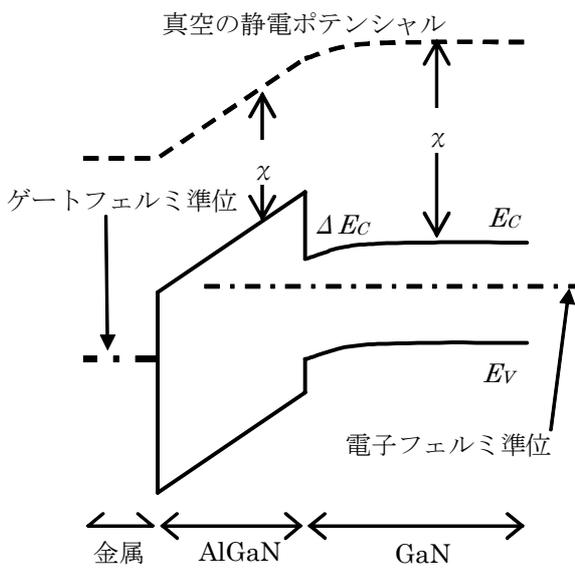


図3 ヘテロ構造バンド図 (AlGaIn/GaN HEMT のゲート部)

としてホールの擬フェルミ準位の変化が電子濃度の変化を引き起こすことになる。ホールのフェルミ準位を介するものの、空間的には電子のいる場所の静電ポテンシャルを直接変調するため式(1)のベース電圧の変化がそのままマクスウエルボルツマン分布に反映する。そのため入力電圧に対する電荷量の変化は大きく、高い相互コンダクタンス G_m が得られる。

ベース・エミッタ間のpn接合は、通常動作状態では順方向バイアス状態である。そのため、エミッタからベースに電子が、ベースからエミッタにホールが注入される。電子はほとんど再結合することなくコレクタへ流れ有効に使われるが、ホールはそのままベース電流となる。ベースを制御端子と考えれば、これは一種のリーク電流である。pn接合の理論によりほぼ

$$I_B = \frac{N_{Ab} v_h}{N_{De} v_e} I_E \quad (4)$$

の関係になる。 N_{Ab} はベースのアクセプタ濃度、 N_{De} はエミッタのドナー濃度、 v_h はホールの熱速度、 v_e は電子の熱速度である。ベース電流を減らすには、アクセプタ濃度をエミッタドナー濃度より低くすることが必要である事が判る。

3.5. バイポーラトランジスタの高性能化

バイポーラトランジスタの高速化には、電子の走行距離に当たるベース長の短縮が必要である。ベースのエミッタ側、コレクタ側ともにpn接合による空乏層が広がり、ベース全体が空乏化すればホールフェルミ準位による電流の制御が出来なくなる。一般に片側階段接合の空乏層厚 x_d は

$$x_D = \sqrt{\frac{2\varepsilon V_B}{qN_A}} \quad (5)$$

と近似できる。ここで ε は半導体の誘電率、 V_B はビルトイン電圧で、ほぼバンドギャップエネルギーの電圧に近い。その結果、ベース長の短縮にはアクセプタ濃度を高めることが必要になる。しかし、前に説明したようにベース電流の制約からアクセプタ濃度をむやみには下げられない。そこで登場してきたのが、ベース・エミ

ツタ間にヘテロ接合を使うというアイデアである。ヘテロ接合を使うことで、ベース電流増加を伴わずにベースの不純物濃度を上げる事が出来、ひいてはデバイスの高速化が達成できる。

3.6. 半導体ヘテロ構造

ヘテロ接合は異種の半導体材料を格子の周期性を乱すことなく接続した構造で、その接続部ではステップ状に伝導帯、価電子帯、バンドギャップエネルギーが変化する。電子の濃度はマクスウェルボルツマン分布で表され、熱平衡状態ではヘテロ接合の周囲でもフェルミ準位は一定であるので、電子やホール濃度はバンドの段差に応じて変化する。300Kにおいては、60mVの段差で1桁の変化をすることから小さな差でも大きな濃度差になる。ベースをp型GaAs、エミッタをn型の $Al_xGa_{1-x}As$ で作成したヘテロバイポーラトランジスタが登場した。これによりベース電流の増大を押さえつつベースアクセプタ濃度が上げられるようになった。同様な構造はSiとSiGeでも実現されており高性能化への必須の構造である。

3.7. 電界効果トランジスタ(FET)

代表的な電界効果トランジスタにはシリコン基板上的MOSトランジスタと、GaAs基板上的MESFET、HEMTがある。これらのトランジスタではチャンネルの電荷をコンデンサにおける電荷蓄積の原理で、絶縁膜を介して制御する。絶縁膜を介する分、電圧が直接伝わらず G_m はバイポーラトランジスタに比べ小さくなる。シリコンMOSFETでは電流を流さない酸化膜を挟むので、ゲートをプラスにしてもマイナスにしてもリーク電流は流れない。しかしながら、電流は半導体と酸化膜の界面を流れるため、界面散乱のためキャリアの移動度が低くなるという欠点がある。シリコンMOS界面が半導体デバイス中では例外的にクリーンな界面と言われているが、電子の走行にとってはざらざらとして界面であり、室温でのシリコンの真性電子移動度 $1470\text{cm}^2/\text{Vs}$ が、 $300\text{cm}^2/\text{Vs}$ 程度にまで低下してしまう。

GaAsで用いられるMESFETは、金属と半導体の接触からなる整流性のショットキー電極を制御電極として用いる。この場合n型チャンネル層の電子をゲートバイアスで空乏化させて電流を制御する。界面によるキャリア移動度の低下はないが、もともとのn型層においてドナー不純物により移動度が低下し、真性半導体で $8000\text{cm}^2/\text{Vs}$ が、 $2000\text{cm}^2/\text{Vs}$ 程度になる。また、ショットキーゲートの特性からゲートバイアスを正方向にバリア高程度の電圧がかかるとリーク電流が流れ出すので、ゲートバイアスは負の方向にしか振れない。そのため、ゲートバイアスが0VでONとなるディプリーション型FETとなる。

3.8. HEMT

GaAsの表面にヘテロ構造を設け、電子がゲート電極に流れ込むのを防ぐ構造にしたものがHEMTである。HEMTはHigh Electron Mobility Transistorの略である。MOSFETでは電子が酸化膜の壁に沿ったシリコン中を流れるのと似て、AlGaAsの作るポテンシャルの壁に沿ったGaAs中を電子が流れる。この界面はMOSFETの界面と異なり非常にスムーズであり、電子のドリフト移動度がほとんど低下しない。そのためにこのような名称が付けられた。しかしながらその壁は余り高くないので、ゲートに正バイアスをかけるとゲート金属へ電子が流れ込むので、基本的にはディプリーション型で動作する。

3.9. FETの高速化—スケーリング則

FETの高速化もバイポーラと同様、チャンネル長の短縮で達成される。短チャンネル化したデバイスでは電子は飽和速度近くで走行する。高周波特性の指標の一つである遮断周波数 f_T は、飽和速度を v_{SAT} 、チャンネル長を L とすると

$$f_T = \frac{L}{2\pi v_{SAT}} \quad (6)$$

で表される。但し、単にチャンネル長を短くするだけではゲート電圧によるチャンネル電子の押し込みが利かなくなり、各種ショートチャンネル

効果を引き起こす。このような短チャネル効果には、しきい値のドレイン電圧依存、飽和領域電流のドレイン電圧依存、などがある。これを防ぐためには、チャネル長の減少に比例してゲート膜厚やチャネル下の空乏層を縮小するスケーリング則を適用する必要がある[1]。この際、静電破壊を防ぐために電界の大きさを一定に保つ。そのため印加電圧も比例して縮小する必要がある。スケーリング則を要約すると表2のようになる。デバイスの寸法と電圧を $1/k$ に比例縮小すると速度は k 倍、消費電力は $1/k^2$ となる。また、デバイスの専有面積も $1/k^2$ になるので、基本的にはコストも $1/k^2$ になる。性能でもコストでも有利なことばかりである。シリコンデジタルVLSIの進歩はこのスケーリング則に沿って進められた。進歩は、微細化に必要なリソグラフィ技術、高性能薄膜作成技術、エッチング技術などで決まっていた。

4. 微細化の限界

4.1. 電源電圧の限界

スケーリング則がどこで破綻し、MOS トランジスタの微細化限界がどこにあるかは常に議論的であった[2]。しかし、その限界がようやく見え始めた。それは電源電圧の制約である[3]。前にも述べたように半導体デバイスの動作を支配しているのは式(1)のmaksウエルボルツマン分布則である。ここで、最も簡単なトランジスタ増幅回路を考える。(図4)この回路はトランジスタによる可変抵抗と、固定負荷抵抗からなる。可変抵抗 R_{TR} の導電電荷がmaksウエルボルツマン分布則に従うとすると、抵抗値は制

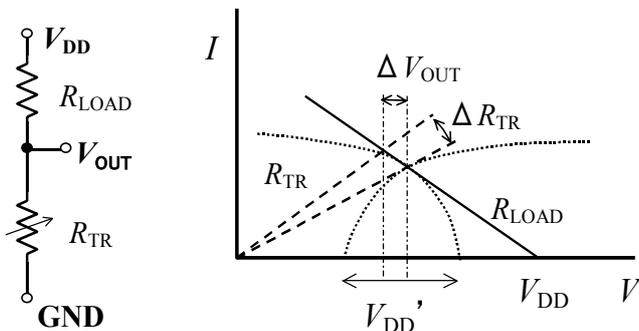


図4 抵抗負荷型増幅器の動作モデル。

デバイス構造	デバイス特性	MMIC 特性
$L \rightarrow 1/k$	$f_T \rightarrow k$	$\lambda \rightarrow 1/k$
$W \rightarrow 1/k$	$I_D \rightarrow 1/k$	$P_{OUT} \rightarrow 1/k^2$
$T_{OX} \rightarrow 1/k$	\Rightarrow Power $\rightarrow 1/k^2$	\Rightarrow Distance $\rightarrow 1/k$
$V_{DD} \rightarrow 1/k$	Area $\rightarrow 1/k^2$	Cost $\rightarrow 1/k^2$

表2. スケーリング則

御用入力電圧 V_{IN} に対し、

$$R_{TR} = R_o \exp\left(-\frac{V_{IN}}{\alpha k T}\right) \quad (7)$$

と表される。 α は理想は1であるが、実際には形状効果などで1以上の値になる。 V_{IN} に対する R_{TR} の変化率は

$$\frac{\partial R_{TR}}{\partial V_{IN}} = -\frac{R_{TR}}{\alpha k T} \quad (8)$$

となる。このような可変抵抗に、固定の負荷抵抗 R_{LOAD} を接続する。出力電圧は電源電圧 V_{DD} を2つの抵抗で分割した値となるので、

$$V_{OUT} = \frac{R_{TR}}{R_{TR} + R_{LOAD}} V_{DD} \quad (9)$$

となる。増幅器の電圧ゲイン G は定義から

$$G = \frac{dV_{OUT}}{dV_{IN}} = \frac{R_{LOAD} V_{DD}}{(R_{TR} + R_{LOAD})^2} \frac{dR_{TR}}{dV_{IN}} = \frac{V_{DD}}{\alpha k T} \frac{R_{LOAD} R_{TR}}{(R_{TR} + R_{LOAD})^2} \quad (10)$$

となる。 R_{LOAD} と R_{TR} の項は $R_{LOAD} = R_{TR}$ の時に最大値 $1/4$ になる。デジタル集積回路では $G > 1$ でないと信号が減衰してしまう。この条件を満たすためには、式(10)から $V_{DD} > 4 \alpha k T$ が導かれる。NAND、NORなどの多入力論理回路や1以上のゲインが必要なアナログ回路ではさらに大きな電圧が必要である。

上の解析では負荷抵抗を線形抵抗としたが、飽和型の抵抗を用いればこの条件は緩和される。しかし、飽和型の抵抗もmaksウエルボルツマン分布に従うとすると n 入力論理回路で $2 \alpha k T \log(n/2+1)$ 、ゲイン G のアナログ回路で $2 \alpha k T \log(2G+1)$ となる。以上の議論は、信号振幅はほぼゼロで、かつデバイスの特性が完全に制御されている場合を想定している。実際には特性のばらつきがあるために、有限の動作振幅

や動作マージンを取る必要がある。結局、室温での論理素子の電源電圧は、ほぼ $10kT$ の 250mV 程度が下限と思われる。

4.2.

4.3. ドレイン耐圧と高速化

前節で半導体回路の電源電圧には下限がある事を述べた。そうすると、デバイスでの端子間耐圧の関係から微細化が出来なくなり、速度の向上も留まることになる。ドレイン耐圧を決める要因はアバランシェ破壊である。

高電界中を高速で走行する電子が、それが持つ運動エネルギーで電子と正孔のペアを生成し、雪崩状に電子が増える現象である。増大した電子流がまた電子・正孔対を作るため、正帰還がかかり、最終的には電極や半導体が局所的に溶け永久破壊に至る。

アバランシェ破壊の程度は、走行距離あたりの電子・正孔対の生成率、すなわちイオン化係数の電界強度依存性で示される。例えば 0.01 個/ μm となる電界強度は、シリコンで $1.5 \times 10^5 \text{V/cm}$ 、GaAsで $2.5 \times 10^5 \text{V/cm}$ に対し、AlGaIn/GaN HEMTのゲートリーク電流から測定したイオン化係数は $2.5 \times 10^6 \text{V/cm}$ と 1 桁以上高い[4]。

ドレイン電圧 V_{DD} が決められた場合、破壊電界を E_B とするとチャンネル長の下限は

$$L_{MIN} = V_{DD} / E_B \quad (11)$$

となる。また、遮断周波数はキャリアが飽和速度 v_{SAT} で走行するとすれば

$$f_T = \frac{g_m}{2\pi C_{gs}} = \frac{v_{SAT}}{2\pi L} \quad (12)$$

となるので、両式を組み合わせると一定電圧下で短チャンネル化が行われた極限では、

$$f_T = \frac{v_{SAT} E_B}{2\pi V_{DD}} \quad (13)$$

となる。微細化の極限では破壊電界の高いワイドギャップ系が高速動作に有利である事が判る。

以上は微細化極限での話であるが、電源電圧が下げられない状況はいつでも存在する。例えば電源に化学電池を使うならば効率の点から電源電圧は 1V 付近の電圧で使わざるを得ない。

レーザーダイオードなどを駆動するためにはバンドギャップ以上の電圧が必要となるので、 $2 \sim 5\text{V}$ の電圧が必要である。超高速光通信で用いられる光変調器も 2V 程度の電圧が必要である。無線通信でのパワーアンプは、同軸線などのインピーダンス線路を通してアンテナに給電をする。送信出力が決まれば、線路の特性インピーダンスから信号の電圧が決まる。トランスなどで電圧の変換は可能であるが、効率の点からはトランジスタ自体の高電圧動作が有利である。

今後半導体のパワー応用が進むと予測される。パワー応用では L や C などの受動素子を多用するが、それらは $j\omega C$ や $j\omega L$ などの形で影響するので、高周波にするほど L や C は小さくなり、小型化低価格化に貢献する。単に高電圧高出力というだけでなく、この面でもワイドギャップデバイスは有利に働く。

4.4. ドレイン耐圧の向上

ワイドバンドギャップ半導体が高電圧動作に向いていると言っても、シリコンデバイスでは 10kV 級の FET が出来ているのに対し、GaInでもオフ耐圧で 1000V 程度である。シリコンよりはバンドギャップの広い GaAs では 100V にも達していない。その理由はトランジスタの耐圧を決めるのはアバランシェ破壊そのものではないということである。

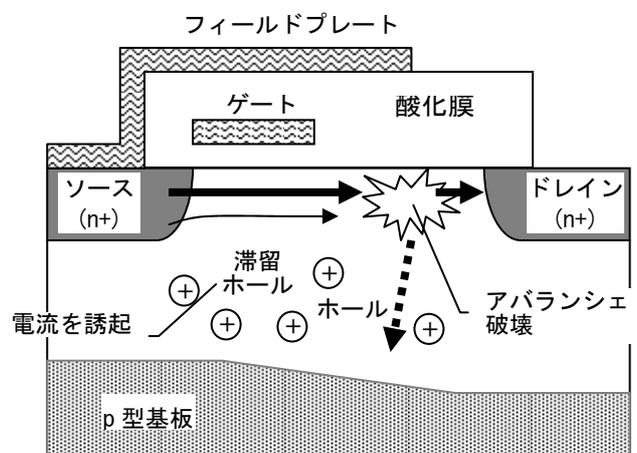


図5 アバランシェ破壊の機構

図5はFETが破壊を起こす機構を模式的に示した図である。トランジスタが電氣的破壊を起こす機構は以下ようになる。

- (1)電子が高電界で加速される。
 - (2)アバランシェ破壊で電子・正孔対が生成される。
 - (3)ホールが滞留する。
 - (4)ホールの正電荷が電子濃度を増大させる。
- 以上のループで正帰還がかかり、爆発的に電流が増えることで破壊に至る。

このループを断ち切るには3つ方法がある。1つは種となる電子を発生させないことである。FETではゲートリーク電流や基板リーク電流が種になることがあるのでリーク電流の低減が効果的である。但し、これはオフ耐圧に効果があるのであって、ソースから電子が大量に注入されているON状態では効果はない。

もう一つは電界分布を一様にしてアバランシェ破壊の確率を下げることである。これにはフィールドプレートを用いる方法が代表的である。意図的に金属電極を設けなくても、表面準位や基板中のp型層が電界緩和に効果を持つこともある。

3つめはアバランシェ破壊で発生するホールの処理である。シリコンMOSFETは通常p型基板に作られるので発生したホールは基板に流れる。バイポーラトランジスタではベースに流れ込む。しかし、半絶縁性基板に作られるGaAs系やGaN系のFETではチャンネル近傍で発生したホールの逃げ道はなく、ソース電極付近に集まる。最終的には電極付近で電子と再結合して消滅していく。ワイドギャップ系では再結合する相手の電子濃度が低いのでホールが溜まりやすい。

シリコン高耐圧デバイスではホールの蓄積を防ぐために、基板をp⁺にしてそこからホールを積極的に引き抜いている[5]。p型層は、基板中のフィールドプレートとしても使える。シリコンデバイスが高い破壊耐圧を実現しているのはp型層の高度な使い方による。

一方、GaNはもともとp型が出来なかったために発光ダイオードが出来なかったという歴史

があり、p型層の形成には困難が伴う。ホール引き抜き用のp型電極は、電界集中や寄生容量の問題があるので基板中に選択的に形成する必要がある。現時点ではこのようなデバイス構造実現の見通しは立っていない。

5. マイクロ波集積回路

5.1. マイクロ波デバイス集積化の目的

デジタル回路はスケールリング則に基づくシリコンVLSIの高集積化で高性能と低価格を実現し、これが現在のデジタル文化を生んでいる。マイクロ波でも集積化による高性能化や低価格化が進みつつある。複数のマイクロ波トランジスタを集積化するMMICや、シリコンデジタル回路との集積化などが試みられている。

通信用マイクロ波回路ではベースバンドの音声やデジタル信号からマイクロ波の変調器、増幅器を経て最終的には電波を空中に出すアンテナまでが一つのシステムとなる。この場合、どの部分を一体化するのが最も効果的かを考える(図6)。マイクロ波では伝送線路でのインピーダンス整合が必要で、部品間の接続や実装での機械的加工の精度が性能やコストに響く。つまり、搬送波の高周波になって以降の部品を集積回路技術で実現できれば大幅なコストダウンが可能となる。

5.2. マイクロ波部品実装基板

マイクロ波の部品は波長 λ オーダーのサイズとなるので、 λ は実用的なチップの大きさより小さくしなければならない。60GHzでは空气中で λ は5mm、比誘電率約10のサファイア基板上で約2mmとなる。この辺が周波数の下限であろう。この程度のICを大量に作ろうとすると、ウエハ径はかなり大きなものが望まれ

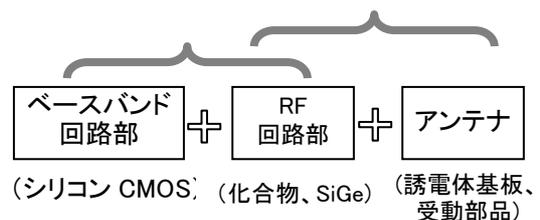


図6 マイクロ波システムの集積回路化

る。さらにミリ波領域のマイクロ波線路を考えると、誘電損失の観点から基板は高抵抗で高品質なものが必要となる。GaNは熱伝導度に優れたSiC、低価格のSi基板、高品質のGaN基板、それにサファイア基板作られる。LEDでは多くはサファイア基板上に成長されたGaNが用いられている。

サファイアは12インチ程度の大口径基板が工業的に製造可能であり、またミリ波実装基板としても優れている。ミリ波集積回路という観点からはサファイア基板が適している。

60GHzの周波数でマイクロ波回路を実現するには最大発振周波数 f_{max} は200GHz程度は必要である。GaNでこの性能を達成するにはチャンネル長 $0.1\mu m$ 以下となる必要がある。このチャンネル長でのドレイン耐圧はGaAsやシリコンでは1V程度であるが、GaNでは10Vがあるので(6)、 50Ω 負荷を直接駆動するとして200mWの出力が期待できる。

GaNは高耐圧、高キャリア移動度から高周波パワーデバイスとして期待されている。しかしながら、マイクロ波システムの低コスト化を考えると、実はサファイア基板上に作られるととが最も大きなメリットかも知れない[7]。

6. まとめ

マイクロ波トランジスタの動向を理解するために、マクスウエルボルツマン分布、フェルミ準位、バイポーラトランジスタ、電界効果トランジスタ、ヘテロ構造などについて解説した。高周波化を追求するにはデバイスの微細化が必須であるが、それに伴って発生する電源電圧の限界について述べた。そのような極限においてワイドギャップ半導体は破壊電界が高いため、シリコンやGaAsより短チャンネル化が可能で、結果的に高速で動作することが示唆された。ドレイン耐圧の向上に関してはホールの蓄積を防ぐp型層の技術について説明した。この点に関してはGaNはまだ課題が多い。最後に、マイクロ波システムの集積回路化に関して、アンテナなどの受動部品との集積化が効果的である事を述べた。これを実現できる技術がサファ

ア基板上のGaNデバイスである。

最近の携帯移動無線の普及から、無線帯域の逼迫が予想されている。そのため、現在あまり普及していない60GHz帯が有望視されている。この周波数では信号波長が短いので、数ミリ角のチップに受動部品が集積可能となる。GaN系FETは単に高耐圧高速というばかりでなく、受動部品と共に大口径サファイア基板に集積回路として作ることができるということから、将来の無線通信を担うデバイスとして期待できる。

文 献

- [1] R. H. Dennard, F. H. Gaensslen, Hwa-Nien Yu, V. L. Rideout, E. Bassous, A. R. LeBlanc, IEEE Journal of Solid-State Circuits, SC-9, p. 256 (1974)
- [2] R. W. Keyes, Proc. IEEE, 63, p.740 (1975)
- [3] C. Mead and L. Conway : Introduction to VLSI Systems, Chap. 9 (Addison-Wesley Publishing Company, New York 1980)
- [4] K. Kunihiro, K. Kasahara, Y. Takahashi and Y. Ohno: IEEE Electron Device Lett., 20, p.608 (1999).
- [5] I. Yoshida, T. Okabe, M. Katsueda, S. Ochi and M. Nagata, IEEE Trans. on Electron Devices, ED27, p.395 (1980)
- [6] Yoshifumi Kawakami, Naohiro Kuze, Jin-Ping Ao and Yasuo Ohno, IEICE Trans. on Electronics, pp2039-2042 (2003).
- [7] 大野泰夫, 電子情報通信学会誌, Vol.84, p384-389 (2001)