IoT に向けた低消費電力周波数シンセサイザ設計

Energy-efficient Frequency Synthesizer Design for IoT

岡田　健一
Kenichi OKADA

東京工業大学

概要

本基礎講座では，IoT 用バッテリーレス無線機の実現に向けた極低消費電力発振器の構成方法について解説する．まずは，LC 共振器の基本原理について解説し，位相雑音と消費電力のトレードオフを示す指標である FoM について詳説する．発振器のトポロジーごとにこれらの性能は決まり，所望の位相雑音レベルにより，適切に選択する必要がある．本講演では，NMOS, PMOS, CMOS (push-pull), tail-filtering, Class-C, Class-D, Class-F, clip&restore, pulse-driven 型の LC 発振器について解説する．また，近年の PLL (AD-PLL, SS-PLL, DTC+PLL, IL-PLL)についても簡単に紹介する．

Abstract

In this seminar, a ultra-low-power (ULP) frequency synthesizer design for a battery-less IoT transceiver is explained. Firstly, a theoretical basics of LC VCO (Voltage-Controlled Oscillator) is discussed especially about the trade-off between phase noise and power consumption, which can be indicated by FoM. The limit of FoM is determined by VCO topology and LC-tank quality factor. Variants of VCO such as NMOS, PMOS, CMOS (push-pull), tail-filtering, Class-C, Class-D, Class-F, clip&restore, pulse-driven, etc will be explained. Finally, recent PLL variants will also be introduced briefly.

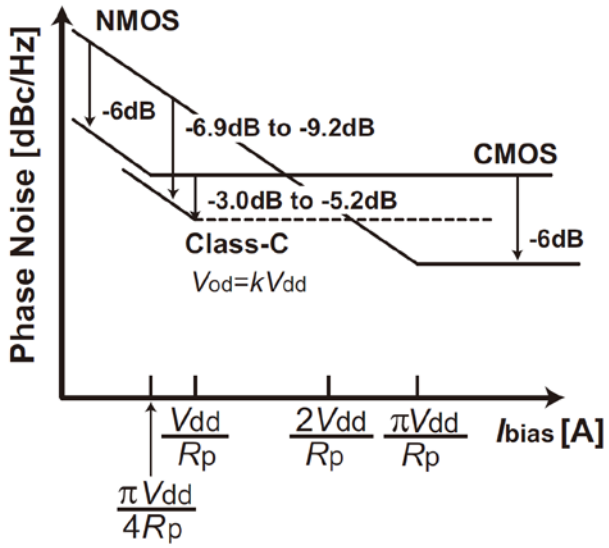

図１：位相雑音と消費電力

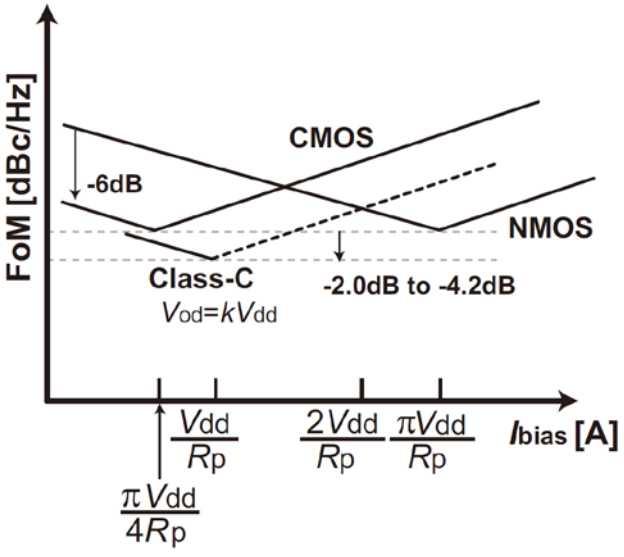

図２：回路構成と FoM

1. はじめに

Phase Locked Loop (PLL)は，デジタル回路やアナログ回路など各種クロックの生成や，無線機のキャリア周波数の生成など幅広く用いられている．本講演では，PLL とその中心的構成要素である電圧制御発振器(VCO: Voltage Controlled Oscillator) について解説する. 電圧制御発振器は, 入力制御電圧に従って発振周波数が変化する発振器である．PLL の出力周波数が, 所望のキャリア周波数からずれると, 変復調特性を著しく劣化させるため，発振器の出力周波数には高い精度が求められる．集積回路中に作成可能な素子は，製造ばらつきや温度依存性によりその素子値が変化するため，オンチップの発振器単体では正確な発振周波数を得ることは難しい. そのため，PLL を用いて，水晶発振器による非常に正確な基準周波数を逓倍して，発振信号を得る．PLL は，VCO と水晶発振器の発振周波数を比較し, VCO の入力制御電圧を調整することで, 所望の発振周波数を出力する．

VCO に求められる性能は，(1) 発振周波数範囲, (2) 位相雑音, (3) VCO ゲイン, (4) 消費電力, (5) 回路面積などがある. この中でも特に重要なのが, 信号スペクトルの急峻さを表わす位相雑音(Phase Noise)である．VCO の位相雑音は，局部発振器全体の位相雑音に大きく影響し，無線機の変復調特性を左右する重要な特性である. また, チャネル選択を行う VCO では，その発振周波数が所望帯域をカバーする必要がある. その際, 制御電圧に対する発振周波数の変化を VCO ゲインと呼び，PLL のループ利得を決める重要なパラメータとなる．

2. 位相雑音の解析

典型的な VCO の出力信号のスペクトルを図３ に示す. 理想的には, 所望のキャリア周波数のみに信号スペクトルを持つことが望ましいが，発振器の雑音成分により側波帯成分が生じる．この側波帯に生じるスペクトルの指標として, 位相雑音が定義される．位相雑音は, 図３ に示されるように, 一般に 1Hz あたりの信号電力に対する雑音電力の比を位相雑音として定義する．例えば，信号電力が-5dBm で，発振周波数から 1MHz 離れたところでの 1Hz あたりの雑音電力を-120dBm/Hz であるとすると，位相雑音は -115dBc/Hz となる．位相雑音の単位は dBc/Hz であり，dBc はキャリア信号電力”c”に対する雑音電力の比率(dB) という意味である．位相雑音は中心周波数からどれだけ離れているかに依存するため，その離れ具合をオフセット周波数(離調周波数)と呼び, 位相雑音を議論する時は，必ずオフセット周波数がいくらの時の位相雑音であるかに注意する必要がある．

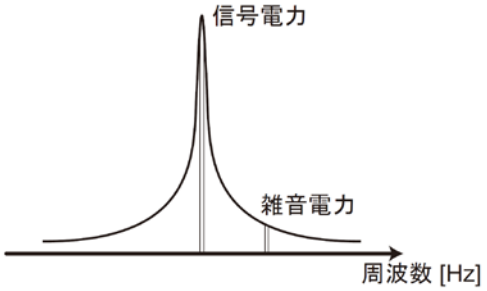

図３ ：位相雑音を含む発振器の出力スペクトル

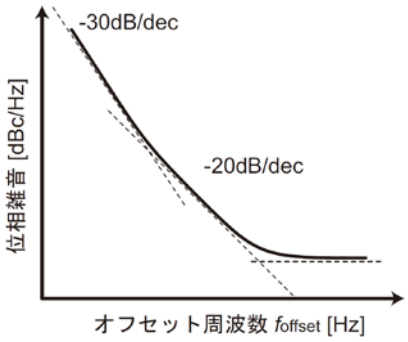

図４ ：位相雑音

発振器中に発生する雑音電力P_{n}を考える[1]．雑音電力は位相変調(PM:Phase Modulation) と振幅変調(AM:Amplitude Modulation) として寄与する．定常状態で発振振幅が十分に安定しているとすると，この AM 成分は打ち消される．AM 成分と PM 成分への寄与の大きさが等しいと仮定すると，実質的に PM 成分として寄与するのは雑音電力の半分となる．また，LC 共振器に加え，能動素子部の雑音寄与を考慮すると，雑音係数 F 倍となる．上記を考慮すると，雑音電力P_{n}は下記で表される．

$$P_{\mathrm{n}} = \frac{F\mathrm{kT}}{2Q^2}\frac{{\omega_0}^2}{\Delta\omega^2}$$

位相雑音は 1Hz 帯域あたりの雑音電力P_{n} と信号電力P_{sig}の比で定義され，下記の関係が導かれる．

$$\mathcal{L}(\Delta\omega) = \frac{P_{\mathrm{n}}}{P_{\mathrm{sig}}} = \frac{1}{2Q^2}\frac{F\mathrm{kT}}{P_{\mathrm{sig}}}\frac{{\omega_0}^2}{\Delta\omega^2}$$

上記は，Q 値が Q の共振器を持つ同調発振器における位相雑音の理論的最小値を与える. また, ここでわかることは，信号電力を大きくすれば位相雑音を改善できるということと，発振周波数が上ると位相雑音が悪化するということである．

ここまでの議論は，線形近似に基づく考察である

表１：各回路構成の比較

	NMOS VCO	CMOS VCO	Class-C VCO
$v_{\mathrm{out}+}, v_{\mathrm{out}-}$	$0 \sim 2V_{\mathrm{DD}}$ [a]	$0 \sim V_{\mathrm{DD}}$	$V_{\mathrm{DD}} \pm \frac{V_{\mathrm{DD}}+V_{\mathrm{od}}}{1+k}$
v_{sig}	$R_{\mathrm{p}} i_{\mathrm{sig}}$	$R_{\mathrm{p}} i_{\mathrm{sig}}$	$R_{\mathrm{p}} i_{\mathrm{sig}}$
i_{sig}	$\frac{2}{\pi} I_{\mathrm{bias}} \sin \omega t$	$\frac{4}{\pi} I_{\mathrm{bias}} \sin \omega t$	$I_{\mathrm{bias}} \sin \omega t$
I-limit	$I_{\mathrm{bias}} < \frac{\pi V_{\mathrm{DD}}}{R_{\mathrm{p}}}$	$I_{\mathrm{bias}} < \frac{\pi V_{\mathrm{DD}}}{4R_{\mathrm{p}}}$	$\frac{V_{\mathrm{od}}}{kR_{\mathrm{p}}} < I_{\mathrm{bias}} < \frac{V_{\mathrm{DD}}+V_{\mathrm{od}}}{(1+k)R_{\mathrm{p}}}$
$P_{\mathrm{sig(I\ region)}}$	$\frac{2R_{\mathrm{p}}I_{\mathrm{bias}}^2}{\pi^2}$	$\frac{8R_{\mathrm{p}}I_{\mathrm{bias}}^2}{\pi^2}$	$\frac{R_{\mathrm{p}}I_{\mathrm{bias}}^2}{2}$
$P_{\mathrm{sig(V\ region)}}$	$\frac{2V_{\mathrm{DD}}^2}{R_{\mathrm{p}}}$	$\frac{V_{\mathrm{DD}}^2}{2R_{\mathrm{p}}}$	—
$P_{\mathrm{sig(max)}}$	$\frac{2V_{\mathrm{DD}}^2}{R_{\mathrm{p}}}$	$\frac{V_{\mathrm{DD}}^2}{2R_{\mathrm{p}}}$	$\frac{1}{2R_{\mathrm{p}}}\left(\frac{V_{\mathrm{DD}}+V_{\mathrm{od}}}{1+k}\right)^2$
$PN_{\mathrm{(I\ region)}}$	$\frac{f_0^2}{\Delta f^2}\frac{\mathrm{k_B}T}{Q^2}\frac{\pi^2(1+\gamma_{\mathrm{N}})}{4R_{\mathrm{p}}I_{\mathrm{bias}}^2}$	$\frac{f_0^2}{\Delta f^2}\frac{\mathrm{k_B}T}{Q^2}\frac{\pi^2(1+\frac{\gamma_{\mathrm{N}}+\gamma_{\mathrm{P}}}{2})}{16R_{\mathrm{p}}I_{\mathrm{bias}}^2}$	$\frac{f_0^2}{\Delta f^2}\frac{\mathrm{k_B}T}{Q^2}\frac{(1+\frac{\gamma_{\mathrm{N}}}{k})}{2R_{\mathrm{p}}I_{\mathrm{bias}}^2}$
$PN_{\mathrm{(V\ region)}}$	$\frac{f_0^2}{\Delta f^2}\frac{\mathrm{k_B}T}{Q^2}\frac{(1+\gamma_{\mathrm{N}})R_{\mathrm{p}}}{4V_{\mathrm{DD}}^2}$	$\frac{f_0^2}{\Delta f^2}\frac{\mathrm{k_B}T}{Q^2}\frac{(1+\frac{\gamma_{\mathrm{N}}+\gamma_{\mathrm{P}}}{2})R_{\mathrm{p}}}{V_{\mathrm{DD}}^2}$	—
$PN_{\mathrm{(min)}}$	$\frac{f_0^2}{\Delta f^2}\frac{\mathrm{k_B}T}{Q^2}\frac{(1+\gamma_{\mathrm{N}})R_{\mathrm{p}}}{4V_{\mathrm{DD}}^2}$	$\frac{f_0^2}{\Delta f^2}\frac{\mathrm{k_B}T}{Q^2}\frac{(1+\frac{\gamma_{\mathrm{N}}+\gamma_{\mathrm{P}}}{2})R_{\mathrm{p}}}{V_{\mathrm{DD}}^2}$	$\frac{f_0^2}{\Delta f^2}\frac{\mathrm{k_B}T}{Q^2}\frac{(1+\frac{\gamma_{\mathrm{N}}}{k})R_{\mathrm{p}}(1+k)^2}{2(V_{\mathrm{DD}}+V_{\mathrm{od}})^2}$
$FoM_{\mathrm{(I\ region)}}$	$\frac{10^3\mathrm{k_B}T}{Q^2}\frac{\pi^2(1+\gamma_{\mathrm{N}})V_{\mathrm{DD}}}{4R_{\mathrm{p}}I_{\mathrm{bias}}}$	$\frac{10^3\mathrm{k_B}T}{Q^2}\frac{\pi^2(1+\frac{\gamma_{\mathrm{N}}+\gamma_{\mathrm{P}}}{2})V_{\mathrm{DD}}}{16R_{\mathrm{p}}I_{\mathrm{bias}}}$	$\frac{10^3\mathrm{k_B}T}{Q^2}\frac{(1+\frac{\gamma_{\mathrm{N}}}{k})V_{\mathrm{DD}}}{2R_{\mathrm{p}}I_{\mathrm{bias}}}$
$FoM_{\mathrm{(V\ region)}}$	$\frac{10^3\mathrm{k_B}T}{Q^2}\frac{(1+\gamma_{\mathrm{N}})R_{\mathrm{p}}I_{\mathrm{bias}}}{4V_{\mathrm{DD}}}$	$\frac{10^3\mathrm{k_B}T}{Q^2}\frac{(1+\frac{\gamma_{\mathrm{N}}+\gamma_{\mathrm{P}}}{2})R_{\mathrm{p}}I_{\mathrm{bias}}}{V_{\mathrm{DD}}}$	—
$FoM_{\mathrm{(min)}}$	$\frac{10^3\mathrm{k_B}T}{Q^2}\frac{\pi(1+\gamma_{\mathrm{N}})}{4}$	$\frac{10^3\mathrm{k_B}T}{Q^2}\frac{\pi(1+\frac{\gamma_{\mathrm{N}}+\gamma_{\mathrm{P}}}{2})}{4}$	$\frac{10^3\mathrm{k_B}T}{Q^2}\frac{(1+\frac{\gamma_{\mathrm{N}}}{k})(1+k)V_{\mathrm{DD}}}{2(V_{\mathrm{DD}}+V_{\mathrm{od}})}$

[a]NMOS クロスカップルを用いた場合．PMOS クロスカップルの場合は出力電圧範囲が $-V_{\mathrm{DD}} \sim V_{\mathrm{DD}}$ となる．電圧振幅は電流源トランジスタやクロスカップルトランジスタの動作に必要な電圧のため，実際には信号電圧振幅はこれらの値より小さくなる．

が，実際には，VCO が持つ時変性を考慮する必要がある．時変性とは時間によってその特性が変化することである．例えば，バイアスポイントが一定である LNA のような回路は時不変(time invariant) であり，VCO のように，発振信号の電圧によりバイアスポイントが大きく変動する回路は時変(time variant) である．つまり，VCO はその位相により雑音の受ける感度が異なることになる．時変性も含めて位相雑音を考えるには，ISF(Impulse Sensitivity Function) を考える必要がある[2].

位相雑音を示す場合には，図４のように横軸をオフセット周波数 $f_{\mathrm{offset}}(=\Delta\omega/2\pi)$とするのが一般的である．また，位相雑音は図４に示されるように，3 つの領域に分けて考えられる．オフセット周波数 f_{offset} に対して，熱雑音成分は−20dB/dec の傾きを持つが，元々−10dB/dec の傾きを持つ 1/f 雑音は，発振周波数付近で−30dB/dec の傾きを持つ．これら傾きの交点を位相雑音のコーナー周波数と呼び，CMOS プロセスを用いる場合，100 kHz から 10MHz の間程度になる．また，数 MHz 以上のオフセット周波数では，帰還経路の出力側に乗る雑音成分が支配的となる．このノイズフロアはオフセット周波数に対して一定となる．

3. FoM (Figure of Merit)

ここまでの議論で明らかなように，位相雑音 $\mathcal{L}(\Delta\omega)$はオフセット周波数$\Delta\omega$だけでなく，発振周波数$\omega_0$および信号電力$P_{\mathrm{sig}}$にも依存する．そのため，設計した VCO の位相雑音や消費電力が適切であるかを判断するために，FoM(Figure of Merit) という評価指標が用いられる．位相雑音を発振周波数，オフセット周波数，消費電力で正規化したものである．異なる周波数間の位相雑音の良さの比較のみならず，消費電力に対する効率も同時に評価することが可能である．FoM は下記の式により定義される．

$$\mathrm{FoM} = \mathcal{L}(\Delta\omega)\frac{\Delta\omega^2}{{\omega_0}^2}\frac{P_{\mathrm{DC}}}{1\mathrm{mW}}$$

通常は，dBc/Hz の単位で表される．

$$\mathrm{FoM}\ \ [\text{in dBc/Hz}] = \mathcal{L}(\Delta\omega)\ \ [\text{in dBc/Hz}]$$

$$-20\log_{10}\left(\frac{\omega_0}{\Delta\omega}\right)+10\log_{10}\left(\frac{P_{\mathrm{DC}}}{1\mathrm{mW}}\right)$$

また，位相雑音の理論式$\mathcal{L}(\Delta\omega)$を用いるとFoMの理論式は下記のように単純化できる．

$$\mathrm{FoM}_{\mathrm{theory}}=\frac{1}{2Q^2}\frac{F\mathrm{kT}}{1\mathrm{mW}}\frac{P_{\mathrm{DC}}}{P_{\mathrm{sig}}}$$

つまり，FoMを改善するには，Q値を改善するのが第一であるが，それ以外には電力効率(信号電力対消費電力費)および雑音係数Fを改善すべきであることがわかる[3].

4. VCO回路構成の比較

VCOの性能向上を図る上で, 電力効率(信号電力対消費電力費)の改善と，雑音係数Fが必要である．また，位相雑音が最小となるバイアス電圧は回路構成に依存しており，必要な性能にあわせた回路構成の選択が必要である(図１－２，表１). CMOS集積回路でよく用いられるNMOS型, PMOS型はクロスカップル部を構成するトランジスタの種類で分類されるが, 両者を組み合わせたものはCMOS型(Push-Pull型)と呼ばれる．これら旧来より知られる構成の他に，FoMの改善が可能なTail-filtering型VCO[4]とClass-C VCOが[5-8]がよく用いられる．Tail-filtering型は電流源に直列にインダクタを付加したもので，Class-C VCOは差動対をClass-Cバイアスにするものである．Class-C型は発振開始問題があるが，それを解決する方式[6]や，push-pull型のClass-C VCO[7]，低電圧で動作が可能なものとしてdual-conduction型Class-C VCO[8]が提案されている．また，差動コルピッツ発振器を最適化するとClass-C VCOとなることが知られている[5]．低電圧化が可能なものとしては，transformer-feedback型VCO[9]も知られている. また，PAの動作を模倣したClass-D型[10]，Class-F型[11]，Class-F_2型[12]のほか，Clip&restore型やpulse-driven型[13]などISFの改善を狙う方式が提案されている．

5. まとめ

本稿では, CMOS集積回路で用いられるVCOの位相雑音対消費電力特性について説明し，その改善を図る種々のVCOの回路方式について解説した．

6. 謝辞

本研究の一部は，NEDO，総務省委託研究『電波資源拡大のための研究開発』，総務省SCOPE，科学研究費補助金，半導体理工学研究センター並びに東京大学大規模集積システム設計教育研究センターを通し，日本ケイデンス株式会社，シノプシス株式会社，メンター株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである．

文　献

[1] 岡田 健一他, “アナログRF CMOS集積回路設計 応用編” 培風館 ISBN 456-306-7670, Feb. 2011.

[2] A. Hajimiri and T. Lee, “A general theory of phase noise in electrical oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, Feb. 1998. (and correction)

[3] M. Garampazzi, *et al.*, “An intuitive analysis of phase noise fundamental limits suitable for benchmarking LC oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 3, pp. 635–645, 2014.

[4] E. Hegazi, H. Sjoland, and A. Abidi, “A filtering technique to lower LC oscillator phase noise,” *IEEE Journal of Solid-State Circuits*, vol. 36, no. 12, pp. 1921–1930, Dec. 2001.

[5] A. Mazzanti and P. Andreani, “Class-C harmonic CMOS VCOs, with a general result on phase noise,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 12, pp. 2716–2729, Dec. 2008.

[6] W. Deng, K. Okada, and A. Matsuzawa, “Class-C VCO with Amplitude Feedback Loop for Robust Start-up and Enhanced Oscillation Swing,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 2, pp.429–440, Feb. 2013.

[7] A. Mazzanti and P. Andreani, “A Push-Pull class-C CMOS VCO,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 3, pp. 724–732, Mar. 2013.

[8] K. Okada, Y. Nomiyama, R. Murakami, and A. Matsuzawa, “A 0.114-mW Dual-Conduction Class-C CMOS VCO with 0.2-V Power Supply,” *IEEE Symposium on VLSI Circuits*, pp.228–229, Jun. 2009.

[9] K. Kwok, and H. C. Luong, “Ultra-Low-Voltage High-Performance VCO Using Transformer Feedback,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 3, pp. 652–660, Mar. 2005

[10] L. Fanori and P. Andreani, “Class-D CMOS oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 12, pp. 3105–3119, Dec. 2013.

[11] M. Babaie and R. Staszewski, “A class-F CMOS oscillator,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 12, pp. 3120–3133, Dec. 2013.

[12] M. Babaie and R. Staszewski, “An ultra-low phase noise class-F_2 CMOS oscillator with 191 dBc/Hz FoM and long-term reliability,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 3, pp. 679–693, Mar. 2015.

[13] A. T. Narayanan, K. Kimura, W. Deng, K. Okada, and A. Matsuzawa, “A Pulse-Driven LC-VCO with a Figure-of-Merit of -192dBc/Hz,” *IEEE European Solid-State Circuits Conference*, pp. 343–346, Sep. 2014.

著者紹介

岡田健一

東京工業大学 大学院理工学研究科 電子物理工学専攻，准教授，okada@ssc.pe.titech.ac.jp