

CMOS 集積回路上の発振器設計の基礎

Basis of Oscillators Design of CMOS Integrated Circuits

伊藤 信之

Nobuyuki ITOH

岡山県立大学情報工学部

Department of Information and Communication Engineering, Okayama Prefectural University

概要

現在の無線通信の発展の一翼を担っているのは無線通信回路の CMOS 化である．ここでは無線通信回路における発振器の役割、位相雑音の仕様について解説し、CMOS プロセスによる発振器の代表としてリング発振器と LC 発振器を取り上げ、その位相雑音の解析を行い、位相雑音特性における LC 発振器の優位性を示す．また、代表的な LC 発振器回路において位相雑音に影響する要因として、発振電力、低周波雑音の重畳について言及し、過去の学会等で発表されている改善方法を解説する．さらに、周波数 20 GHz 以上の高周波領域における LC 共振器の Q 値の劣化要因をキャパシタとインダクタに分けて明らかにし、その改善施策を紹介する．

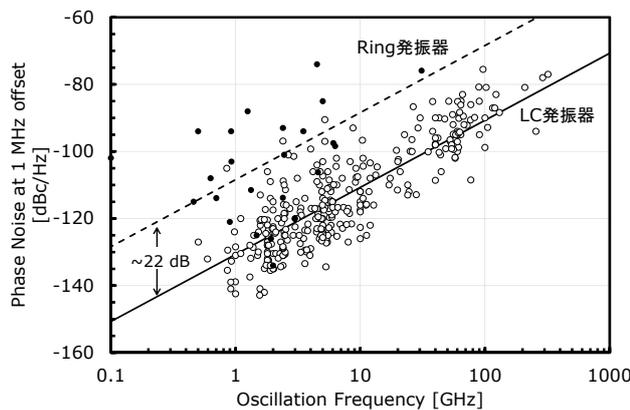


図 リング発振器と LC 発振器の位相雑音特性

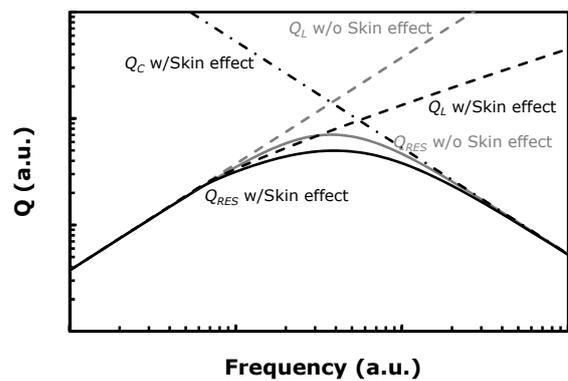


図 LC 共振器の Q 値の周波数特性

Abstract

The part of present wireless communication development is the realization of the wireless communication circuit by CMOS. In here, it has been shown the role and the specifications of oscillators, and is shown analyze of phase noise of ring- and LC-oscillators in CMOS process, then is shown advantage of LC-oscillators. Also, some origins of phase noise degradation and its improvement methods are described. Moreover, the origin and improvement method of Q-factor degradation in high frequency range is shown.

1. はじめに

「時代はワイヤレスである」これは 2002 年に丸善から刊行された”RF Microelectronics”（原著：Behzad Razavi）の翻訳本「RF マイクロエレクトロニクス」[1]の”訳者まえがき”に監訳者の慶應義塾大学・黒田先生が記した言葉である。確かに 2002 年の PDC 全盛の時代から現在までの間に、携帯電話規格は WCDMA ,HSDPA ,HSUPA ,LTE ,LTE-Advanced と、データ・レートにして約 20,000 倍上昇し、携帯電話自体も今やガラケーと言われる電話機からスマートフォン全盛の時代となった。また、ワイヤレス LAN では 802.11b 規格から 802.11a/g ,802.11n ,そして 802.11ac ,802.11ad と推移し、データ・レートは約 500 倍上昇している（図 1）。

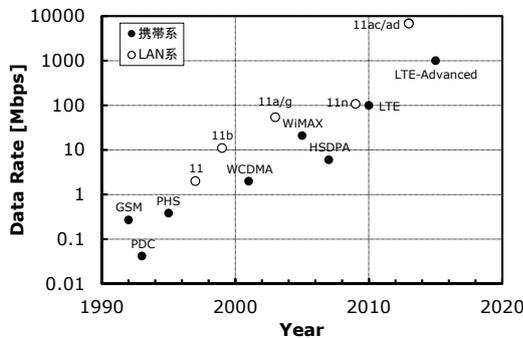


図 1 携帯電話系・無線 LAN 系無線通信のデータ・レート

このように、この 15 年弱の間に無線通信は発展・一般化し、現在では多くの人々がスマートフォンを個人で所有している。そのスマートフォンの中には、携帯電話はもちろんの事、WLAN ,GPS ,Bluetooth ,FM ラジオ、ワンセグ TV 等多くの無線通信器が入っている。

そして今「時代は IoT (Internet of Things) へ向かっている」。世の中の様々な Things がインターネットに接続されようとしている。このような通信においては無線通信が主役になることは疑う余地は無いと考えられる。

ワイヤレスから IoT へ、このように無線通信が発展してきた背景のひとつは、無線通信デバイスの CMOS によるワンチップ化である、と言っても過言では無い。つまり、過去において無線通信デバイスは、化合物半導体によるディスクリート素子で構成されていたものが CMOS ワンチップとなることにより、部品単価、専有面積、消費電力等のアドバンテージを得、また複雑なデジタル信号処理等を同一チップ上で成し得ることで様々なメリットが生まれてきた。

ひとことで、無線通信用 CMOS ワンチップ集積回路と言ってもそこには様々な機能があるが、本講座では集積化が困難な回路の一つである(あった)、高周波発振器回路について取り上げる。

2. 発振器に求められる特性

一般的な無線器のブロックダイアグラムを図 2 に示す。

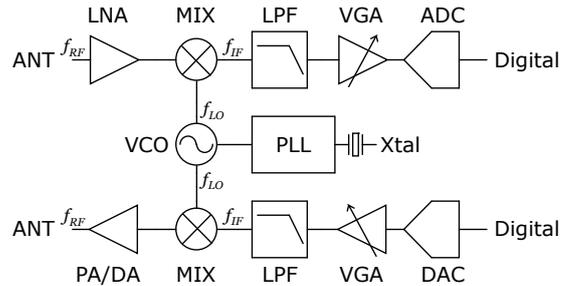


図 2 一般的なトランシーバのブロックダイアグラム

受信信号 f_{RF} はアンテナ (ANT) から適切なフィルタ、アンテナ SW 等を通り低雑音増幅器 (LNA) にて増幅され、式(1)に示すように受信ミキサにおいて LO 信号 f_{LO} と乗算され中間周波数 f_{IF} にダウンコンバージョンされる。

$$v_{RF} \sin(2\pi f_{RF}) \times v_{LO} \sin(2\pi f_{LO}) = \frac{v_{RF} v_{LO}}{2} \{ \cos[2\pi(f_{RF} - f_{LO})] - \cos[2\pi(f_{RF} + f_{LO})] \} \quad (1)$$

ここで、 $f_{IF} = f_{RF} - f_{LO}$ である。そのうち、LPF にて高周波成分 $f_{RF} + f_{LO}$ 等が除去され、VGA にて ADC に入力するのに過不足無い信号強度に増幅され ADC にてデジタル信号に変換される。一方、送信側はデジタル信号が DAC によってアナログ信号に変換され、VGA にて送信ミキサが飽和しない信号強度まで増幅され、送信ミキサにおいて LO 信号と乗算され、アップコンバージョンされ、電力増幅器 (PA , DA) にて増幅され適切なフィルタ、アンテナ SW 等を通りアンテナから送信信号 f_{RF} として送信される。このようなトランシーバ回路にて周波数のダウンコンバージョンもしくはアップコンバージョンに用いられるのが LO 信号であり、その LO 信号を生成する回路が電圧制御発振器である。

発振器には以下の特性が求められる。

- (1) 発振周波数およびその範囲
- (2) 位相雑音
- (3) 消費電力

発振周波数はもちろん、必要な周波数と正確に合っ

ていなければならない。これがないのはファンクションエラーである。また、消費電力は低ければ低いほど良い、というのは発振器に限らず一般的な要求である。それらに対して、位相雑音はトランシーバ回路の特性を決定するものである。

最もわかりやすい例として、図3に示す無線受信器におけるチャンネル選択を例にとって考える。

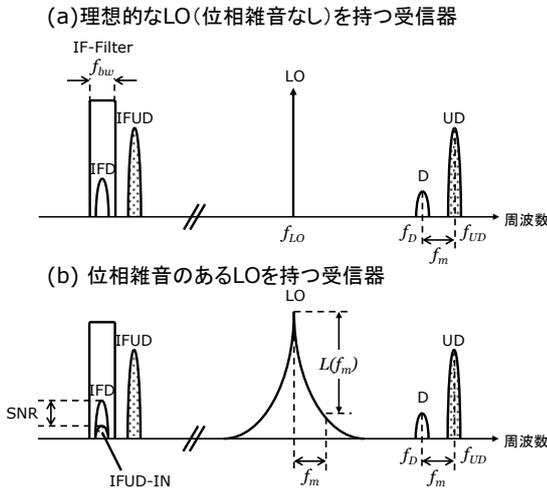


図3 理想的なLO信号(a)と位相雑音のあるLO信号(b)を用いた場合のダウンコンバージョン

無線システムではチャンネルが数百kHzおき、もしくは数MHzおきに設定されており、その周波数選択を行うのがLO信号の役目である。

図3においてDが所望波 f_D 、UDがDより f_m だけ離れたところにある妨害波 f_{UD} とすると、図3(a)に示した理想的なLO(位相雑音の無いLO)によってダウンコンバートした場合、所望波のダウンコンバージョン信号 f_{IFD} は、

$$f_{IFD} = f_D \times f_{LO} \rightarrow f_D - f_{LO} \quad (2)$$

によって求められ、一方妨害波のダウンコンバージョン信号 f_{IFUD} は、

$$f_{IFUD} = f_{UD} \times f_{LO} \rightarrow f_{UD} - f_{LO} = f_{IFD} + f_m \quad (3)$$

によって求められる。中間周波数にダウンコンバージョンされた所望波信号と妨害波信号の間には f_m の周波数の差があるため、ダウンコンバージョンされた妨害波信号は狭帯域なIFフィルタで除去することが可能となる。

一方、図3(b)に示した位相雑音のあるLO信号を用いてダウンコンバージョンを行った場合は、所望波のダウンコンバージョン信号 f_{IFD} は、式(2)で示したとおりであるが、 $f_{LO} + f_m$ なる周波数においてもLO

信号は電力を持つため、妨害波信号の一部は所望波信号の中間周波数と同じ周波数にダウンコンバージョンされることとなる。

$$f_{IFD} = f_{UD} \times (f_{LO} + f_m) \rightarrow f_D - f_{LO} \quad (4)$$

したがって、ダウンコンバージョンされた信号のSNRは理想的なLOを持つ受信器に対して悪化することとなり、酷い場合は受信することが不能になってしまう。

ここで、具体的に無線システムに必要な位相雑音を計算してみる。

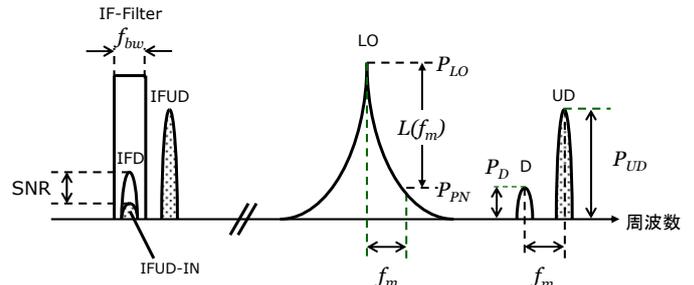


図4 システムに必要な位相雑音の具体的な計算例

[設問]

図4のシステムにおいて、

信号帯域幅(f_{bw}) = 200 kHz

SNR = 9 dB

所望波電力(P_D) = -102 dBm

妨害波電力(P_{UD}) = -43 dBm

所望波と妨害波の周波数の差(f_m) = 600 kHz

である。必要な位相雑音 $L(f_m)$ はいくつであろうか?

[回答]

式(1)より所望波 f_D は式(5)のように中間周波数 f_{IF} にダウンコンバートされる。

$$P_D \sin(2\pi f_D) \times P_{LO} \sin(2\pi f_{LO}) \rightarrow \frac{P_D P_{LO}}{2} \cos(2\pi f_{IF}) \quad (5)$$

一方、妨害波 f_{UD} も式(6)のように中間周波数 f_{IF} にダウンコンバートされる。

$$P_{UD} \sin(2\pi f_{UD}) \times P_{PN} \sin(2\pi f_{PN}) \rightarrow \frac{P_{UD} P_{PN}}{2} \cos(2\pi f_{IF}) \quad (6)$$

したがって所望波も妨害波も、同じ中間周波数 f_{IF} にダウンコンバートされることとなるが、 f_{IF} における所望波と妨害波の電力比がSNRを満足すれば問題は

ない。中間周波数帯における SNR は式(7)で示される。

$$SNR = \frac{P_D P_{LO}}{P_{UD} P_{PN}} \quad (7)$$

位相雑音は P_{LO} と P_{PN} の比であるから、式(7)を用いて位相雑音は以下のように計算できる。

$$\begin{aligned} L(f_m) &= \frac{P_{PN}}{P_{LO}} = \frac{1}{SNR} \frac{P_D}{P_{UD}} = -9 + (-102) - (-43) \\ &= -68 \text{ [dBc/200kHz]} \\ &= -121 \text{ [dBc/Hz]} \end{aligned} \quad (8)$$

ここで $f_m = 600 \text{ kHz}$ であるから、位相雑音としては 600 kHz 離調において、 -121 dBc/Hz 必要ということになる。また、実際にはこのようにして計算した値に数 dB のマージンが必要となる。

このように位相雑音の仕様は、システム仕様と密接にかかわっており、その仕様を満たし、かつ消費電力をいかに下げられるか、が重要となる。

3. 発振器の動作

3.1. 発振器

様々な電子回路があるなかで、発振器は若干異質な存在である。つまり、ほとんど全ての電子回路には「入力」と「出力」があるが、発振器には「出力」しかない（電圧制御発振器は電圧という入力がある）。

図 5 に示すような、ある帰還回路を考える。この帰還回路の伝達関数は式(9)で示される。

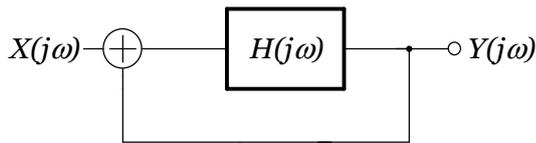


図 5 帰還回路

$$Y(j\omega) = \frac{H(j\omega)}{1 - H(j\omega)} X(j\omega) \quad (9)$$

ここで $H(j\omega) = 1 + j0$ を満たす周波数において自己発振が始まり、この系は発振する。したがって、発振器としての条件は、(i)ある周波数 ω_0 において入出力の位相が 0° であること、(ii)その周波数 ω_0 において $|H(j\omega_0)| = 1$ であることである。このように、帰還回路に特別な周波数選択回路を持たなくても、ループ利得とループ位相が適当な値をとれば、回路は発振する (Barkhausen's criteria)。このような回路の代表例としてリング発振器がある。

一方、図 6 に示すように、帰還回路の途中に周波

数選択回路を擁し、その周波数において発振する回路もある。このような回路の代表例が LC 発振器である。

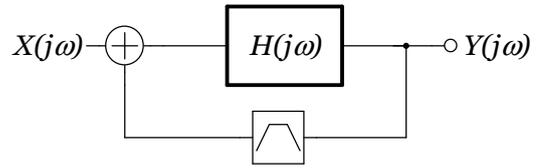


図 6 周波数選択回路を擁する帰還回路

3.2. リング発振器

リング発振器の典型的な例は、図 7 に示すような遅延時間 τ_d のインバータを奇数段接続した回路である。図 7 の回路は、3 段目のインバータから出力される $3\tau_d$ 遅延した反転信号が入力に帰ってくることによって発振する。

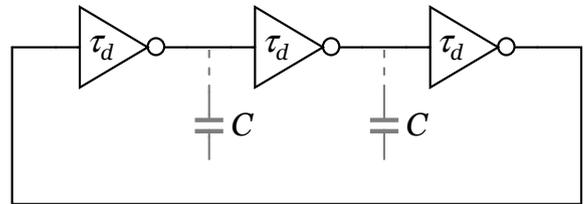


図 7 3 段インバータリング発振器の等価回路

したがって n 段のインバータをカスケードに接続したインバータリング発振器の発振周波数 f_0 は式(10)のように示すことができる。

$$f_0 = \frac{1}{n\tau_d} \approx \frac{I}{nC V_{DD}} \quad (10)$$

ここで、 C は次段の入力容量 ($\sim C_{gs}$) と配線容量の和である。式(10)より、 C が小さく電源電圧 V_{DD} が低く、 I が大きいインバータリング発振器の発振周波数は高くなる。

3.3. LC 発振器

インダクタンス L 、キャパシタンス C を持つ LC 発振器の等価回路を図 8 に示す。

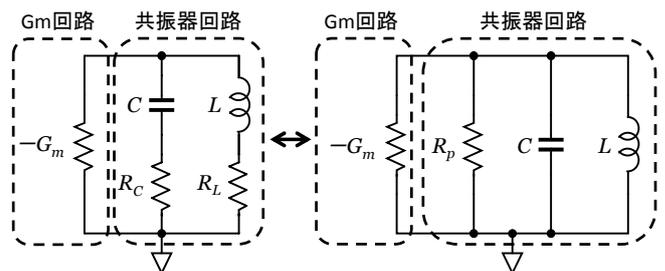


図 8 LC 発振器の等価回路

ここで、 R_p は等価並列抵抗であり、インダクタの直列寄生抵抗を R_L 、インダクタの Q 値を Q_L 、キャパシタンスの直列寄生抵抗を R_C 、キャパシタンスの Q 値を Q_C とすると、 R_p は式(11)で示すことができる。

$$R_p = Q_L^2 R_L // Q_C^2 R_C \quad (11)$$

図 8 の回路において、トランスコンダクタンスを含む共振回路のアドミタンスは、式(12)に示すことができる。

$$\begin{aligned} Y(j\omega) &= \frac{1}{j\omega L} + j\omega C + \frac{1}{R_p} - G_m \\ &= \left(\frac{1}{R_p} - G_m \right) + j \frac{\omega^2 LC - 1}{\omega L} \end{aligned} \quad (12)$$

したがって、共振周波数はほぼ LC の値で決まり、式(13)のように示される。

$$\omega_0 \approx \frac{1}{\sqrt{LC}} \quad (13)$$

また、 G_m は式(14)で示される値をとることによって発振器として動作する。

$$G_m \geq 1/R_p \quad (14)$$

4. 発振器の位相雑音

4.1. リング発振器の位相雑音

図 7 に示した周波数 f_o で発振している離調周波数 f_m におけるリング発振器の熱雑音領域における位相雑音は、ジッタの分散 σ_T を用いて式(15)で与えられる [2]。

$$L(f_m) = \frac{\sigma_T^2 f_o^3}{f_m^2} \quad (15)$$

σ_T は遅延時間の分散 σ_{td} を用いて式(16)のように示すことができるため、位相雑音は式(17)に示すことができる。

$$\sigma_T^2 = n\sigma_{td}^2 \approx \frac{4kT\gamma}{I f_o (V_{DD} - V_{TH})} \quad (16)$$

$$L(f_m) \approx \frac{4kT\gamma}{I (V_{DD} - V_{TH})} \left(\frac{f_o}{f_m} \right)^2 \quad (17)$$

なおここで、 γ は MOSFET のチャネル雑音係数(長チャネルでは 2/3)、 V_{TH} は MOSFET の閾値電圧である。

インバータ回路は NMOS のドレインと PMOS のドレインが接続されている回路であり、NMOS と PMOS のパラメータの値はもちろん異なるが、煩雑さを避けるために、NMOS のパラメータ=PMOS のパラメータと仮定した (e.g. $V_{THN} = |V_{THP}| = V_{TH}$, $\gamma_n = \gamma_p = \gamma$)。また、フリッカ雑音領域における位相雑音は式(18)で示される。

$$L(f_m) \approx \frac{1}{2n(V_{DD} - V_{TH})^2} \left(\frac{K_f}{WL} \right) \frac{f_o^2}{f_m^3} \quad (18)$$

したがって、式(17)および式(18)より位相雑音の低いリング発振器を実現するためには、

- (1) 高い電源電圧
- (2) 段数の多いリング発振器
- (3) MOSFET の WL を大きくする

が必要と考えられるが、それは式(10)に示すように、発振器の高周波化とは相入れなくなる。

4.2. LC 発振器の位相雑音

次に LC 発振器の位相雑音について考える。式(12)より $G_m = 1/R_p$ の場合の LC 共振器のインピーダンスは、より単純化して式(19)のように示すことができる。

$$Z_{Tank} \approx \frac{j\omega L}{1 - \omega^2 LC} \quad (19)$$

ここで発振周波数 ω_b から ω_m 離調した周波数 $\omega_b + \omega_m$ における共振器のインピーダンスおよびその絶対値は式(20)~(21)に示すことができる。

$$\begin{aligned} Z_{Tank}(\omega_o + \omega_m) &\approx \frac{j(\omega_o + \omega_m)L}{1 - (\omega_o + \omega_m)^2 LC} \\ &= \frac{j\omega_o L}{1 - (\omega_o^2 + 2\omega_o\omega_m)LC} = -\frac{j\omega_o L}{2 \left(\frac{\omega_m}{\omega_o} \right)} \end{aligned} \quad (20)$$

$$\therefore |Z_{Tank}(\omega_o + \omega_m)| \approx \frac{\omega_o L}{2 \left(\frac{\omega_m}{\omega_o} \right)} \quad (21)$$

一方、並列接続された RLC 回路の Q 値は式(22)に示すことができる。

$$Q = \frac{R_p}{\sqrt{\frac{L}{C}}} = \frac{R_p}{\omega_o L} = R_p \omega C \quad (22)$$

式(22)より式(21)は式(23)のようにあらわせる。

$$|Z_{Tank}(\omega_o + \omega_m)| \approx \frac{\omega_o}{2} \frac{R_p}{\left(\frac{\omega_m}{\omega_o}\right) \omega_o Q} = \frac{R_p \omega_o}{2Q \omega_m} \quad (23)$$

ここで発振器の出力雑音電圧を考えると、出力電力雑音は電流雑音と共振器のインピーダンスの積となるため、式(24)で示すことができる。

$$\overline{d_{v_n}^2} = \overline{d_{iR_p}^2} |Z_{Tank}(\omega_o + \omega_m)|^2 \quad (24)$$

一方、電流雑音 $\overline{d_{iR_p}^2}$ は、式(25)に示される。

$$\overline{d_{iR_p}^2} = \frac{4kT}{R_p} \Delta f \quad (25)$$

したがって、式(23)~(25)より式(26)を導出できる。

$$\overline{d_{v_n}^2} = \frac{4kT}{R_p} \left(\frac{R_p \omega_o}{2Q \omega_m}\right)^2 \Delta f = 4kTR_p \left(\frac{\omega_o}{2Q \omega_m}\right)^2 \Delta f \quad (26)$$

位相雑音は、キャリアの電力に対する、1 Hz あたりの雑音電力の比として定義されるため、キャリアから ω_m 離調した周波数における位相雑音は式(26)により、式(27)に示すことができる。

$$L(\omega_m) = \frac{\overline{d_{v_n}^2}}{v_{out}^2} = \frac{4kTR_p}{v_{out}^2} \left(\frac{\omega_o}{2Q \omega_m}\right)^2 \quad (27)$$

ここで発振器の発振電力 P_{osc} 、発振振幅 v_{out} は式(28)で示すことができる。

$$P_{osc} = \left(\frac{v_{out}}{\sqrt{2}}\right)^2 \frac{1}{Re(Z_{Tank})} = \left(\frac{v_{out}}{\sqrt{2}}\right)^2 \frac{1}{R_p} \quad (28)$$

したがって、式(27)、(28)より式(29)を求めることができる。

$$L(\omega_m) = \frac{4kTR_p}{v_{out}^2} \left(\frac{\omega_o}{2Q \omega_m}\right)^2 = \frac{2kT}{P_{osc}} \left(\frac{\omega_o}{2Q \omega_m}\right)^2 \quad (29)$$

ここで能動素子の雑音ファクタを F とすると、式(29)は式(30)のように示される。

$$L(\omega_m) = \frac{2kTF}{P_{osc}} \left(\frac{\omega_o}{2Q \omega_m}\right)^2 \quad (30)$$

LC 発振器は一種のバンドパスフィルタと考えられるため、バンド幅以上の離調周波数 ω_m において発振器の位相雑音は離調周波数に依存しなくなり平坦となる。したがって、その項を式(30)に加えると式(31)が得られる。

$$L(\omega_m) = \frac{2kTF}{P_{osc}} \left\{ 1 + \left(\frac{\omega_o}{2Q \Delta \omega}\right)^2 \right\} \quad (31)$$

また、式(30)にて能動素子の雑音ファクタを導入したが、能動素子の雑音は熱雑音だけでなく、低周波数領域におけるフリッカ雑音が存在する。能動素子回路における、熱雑音とフリッカ雑音のコーナー周波数を $\omega_{1/f}$ とすると、その項を加え、角周波数を周波数に変換することにより式(32)が得られる。

$$L(f_m) = \frac{2kTF}{P_{osc}} \left\{ 1 + \left(\frac{f_o}{2Q f_m}\right)^2 \right\} \left(1 + \frac{f_{1/f}}{f_m} \right) \quad (32)$$

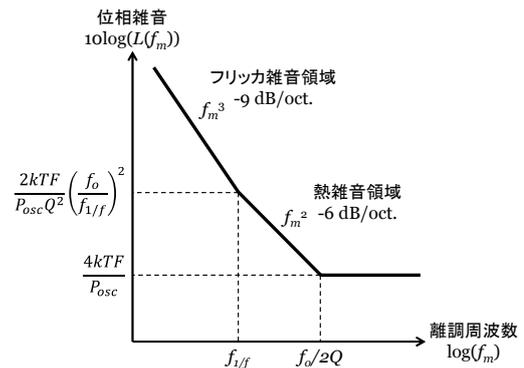


図9 LC 発振器の位相雑音の離調周波数依存性

式(32)より、LC 発振器の位相雑音は低離調周波数領域ではフリッカ雑音の重畳による - 9 dB/oct. (- 30 dB/dec.) の傾きをもち、熱雑音領域では - 6 dB/oct. (- 20 dB/dec.) の傾きをもつと考えられる。

したがって、位相雑音の低い LC 発振器を実現させるには、

- (1) 発振電力の増大
- (2) 能動素子の雑音低下
- (3) Q 値の高い共振器回路

事が必要となる。

4.3. リング発振器と LC 発振器の位相雑音の比較

式(17)に示した熱雑音が支配的な領域におけるリング発振器の位相雑音と、式(29)に示した同じく熱雑音が支配的な領域における LC 発振器の位相雑音を比較すると式(33)のようになる。ここで、典型的な値と

して $\gamma=2$, $P_{osc}=0.05\text{ W}$, $Q=10$, $I=10\text{ mA}$, $V_{DD}-V_{TH}=1\text{ V}$, $F=4$ と仮定すると, 式(33)の値は約 2,000 程度となる. したがって, リング発振器の位相雑音は LC 発振器のそれより約 30 dB 程度大きくなると考えられる.

$$\frac{L_{Ring}(f_m)}{L_{LC}(f_m)} = \frac{4kT\gamma}{I(V_{DD}-V_{TH})} \left(\frac{f_o}{f_m}\right)^2 \cdot \frac{P_{osc}}{2kTF} \left(\frac{f_o}{2Qf_m}\right)^2 = \frac{8\gamma P_{osc} Q^2}{I(V_{DD}-V_{TH})} \quad (33)$$

図 10 に 1992 年 ~ 2015 年までの国際学会にて発表された, CMOS プロセスを用いた LC 発振器およびリング発振器の 1MHz 離調における位相雑音の発振周波数依存性を示す[3].

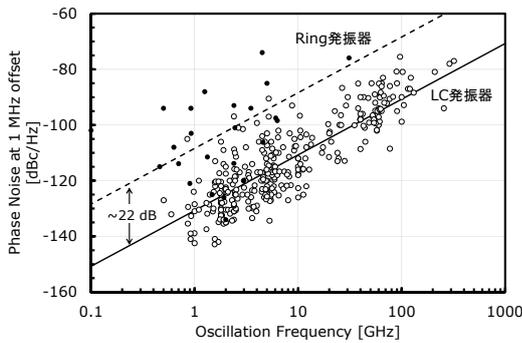


図 10 1992 年 ~ 2015 年までの国際学会にて発表された, CMOS プロセスを用いたリング発振器および LC 発振器の 1MHz 離調における位相雑音の発振周波数依存性

図 10 において と は, それぞれ LC 発振器とリング発振器の 1MHz 離調における位相雑音の発表値を示し, 実線と破線は LC 発振器およびリング発振器の 1MHz 離調における位相雑音の周波数依存性の平均値を傾き 6 dB/oct. と仮定した計算値である. 両者の差異は約 22 dB であり, 上記の見積もりと大きな差は無い事がわかる.

これらの見積もり結果および学会データより, 低位相雑音発振器を実現するには LC 発振器を用いる必要があることがわかる.

5. LC 発振器の位相雑音の低下

CMOS プロセスを用いた LC 発振器の代表的な回路トポロジーは図 11 に示す差動回路を用いたクロスカップル発振器である. 本章では, このようなトポロジーの回路を念頭において, LC 発振器の位相雑音の低下について述べる. 図 11 の回路は M1, M2 により

構成されるクロスカップル回路とインダクタ, バラクタおよび M3, M4 よりなるカレントミラー回路で構成されている. ここでバラクタは, 制御電圧 V_{ctrl} によって容量値を可変することで, 発振周波数を可変することが可能となる.

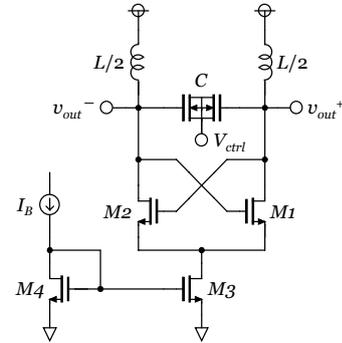


図 11 NMOS クロスカップル電圧制御発振器

5.1. 発振電力と位相雑音の改善

4.2 章で示したように, LC 発振器の位相雑音を低下させる要因として, (1) 発振電力の増大, (2) 能動素子の雑音低下, (3) Q 値の高い共振器回路, がある. ここでは, 発振電力(発振振幅)の増大について考える.

LC 発振器の発振振幅は式(34)で与えられる.

$$v_{out} = \frac{2}{\pi} IZ_{tank} = \frac{g_m}{\pi} \omega_o L Q (V_{GS} - V_{TH}) \quad (34)$$

したがって, 回路の電流(トランスコンダクタンス)を増加させることにより位相雑音を低下させることが可能となるが, 発振振幅の増加はあるところで飽和する. 一方, 電流を増加させることにより, 式(35)で示される MOSFET のチャネル雑音および式(36)で示される MOSFET のフリッカ雑音が増加する.

$$\bar{i}_n^2 = 4kT\gamma g_m \quad (35)$$

$$\bar{i}_{1/f}^2 = \frac{K_f g_m^2}{WLC_{ox}f} \quad (36)$$

したがって, 式(32)で示される LC 発振器の位相雑音は, 発振振幅が飽和する動作電流領域までは, v_{out} の増大による P_{osc} の増大により動作電流に対して約 6 dB/oct. の依存性をもって低下するが, 発振振幅が飽和すると, P_{osc} は一定となり, 上記チャネル雑音およびフリッカ雑音が増加するため, 位相雑音は動作電流に対して約 6 dB/oct. の依存性をもって劣化すると考えられる.

図 12 は, ある電圧制御発振器の離調周波数 1MHz

における位相雑音の動作電流依存性を示したものであるが、最適電流値より低い電流領域では約-6 dB/oct.の依存性をもって位相雑音が低下しているのに対して、最適電流値より高い電流領域では約 6 dB/oct.の依存性をもって位相雑音が劣化していることがわかる。

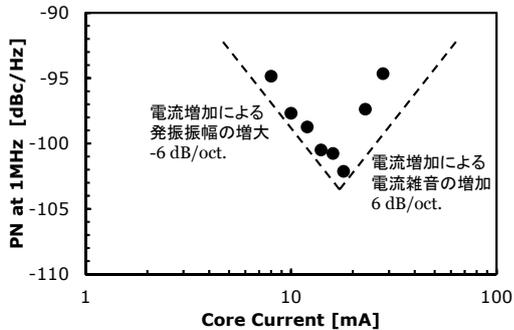


図 12 LC 発振器の位相雑音の動作電流依存性

これらの事より、発振器の設計にあたっては、最適な電流にて回路を動作させる必要がある。また、電圧制御発振器の場合には、それぞれの発振周波数における LC の値が異なるため（多くの場合はバラクタによって発振周波数が決定されるため、C の値が異なる）、それぞれの発振周波数において動作電流の最適点が異なるため、発振周波数を制御する制御電圧に連動して動作電流を変える必要がある[4-5]。

5.2. LC 発振器における電流雑音・フリッカ雑音の抑制

LC 発振器の位相雑音の最も基本的な要因は、第 4 章で解析したように共振器回路の寄生抵抗等による。しかしながら、実際の回路設計においては共振器回路の寄生抵抗より M3, M4 からなるカレントミラー回路、もしくは図 11 では図示していないバイアス回路中の MOSFET のチャネル雑音、フリッカ雑音が支配的になることが多く、特にフリッカ雑音が支配的になることが多い。

カレントミラー回路等のコモンノードに接続されている回路における低周波雑音は、コモンノードにおいて発生する二次高調波 $2f_0$ 成分に重畳し、その信号成分がクロスカップル発振器内部に侵入し、発振周波数である f_0 によって f_0 にダウンコンバートされることが知られている。

$$v_{out} \sin(2\pi f_0) \times v_{com} \sin(2\pi 2f_0) \rightarrow \frac{v_{out} v_{com}}{2} \sin(2\pi f_0) \quad (37)$$

したがって、このようなメカニズムによるフリッカ雑音の抑制にはいくつかの方法が考えられている。

Hegazi 等は、テール電流源部分に L_F および C_F で構成される LC フィルタを導入して $2f_0$ 成分がクロスカップル発振器内部に侵入しない回路を提案した[6]。

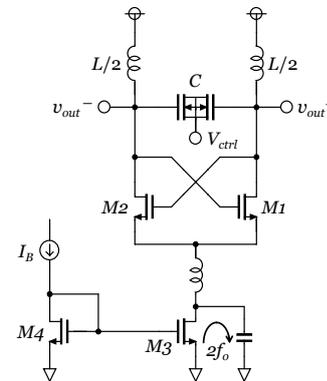


図 13 LC 発振器の位相雑音の動作電流依存性

図 13 に示したように、この回路ではテール電流源で変調された雑音がフィルタリングされる回路となっている。その他に Murphy 等の LC 共振器のインダクタの構造を工夫することによって同相モードにおいて $2f_0$ 成分をフィルタリングする手法[7]、ゼロクロス点におけるバイアス電流を低下させる方法[8]、電流源雑音を逆相にして相殺する手法[9]等、現在でも多くの方法が検討されている。

5.3. LC 共振器の Q 値の周波数依存性

発振器に用いられる LC 共振器は、MOS バラクタと配線層で構成されるインダクタにより構成され、その等価回路は図 8 に示した。

インダクタ、バラクタ、LC 共振器の Q 値はそれぞれ式(38)~(40)で示される。

$$Q_L = \frac{2\pi f L}{R_L} \quad (38)$$

$$Q_C = \frac{1}{2\pi f C R_C} \quad (39)$$

$$Q = \frac{1}{Q_L^{-1} + Q_C^{-1}} = \frac{2\pi f L}{R_L + (2\pi f)^2 L C R_C} \quad (40)$$

式(40)より Q は、 Q_L と Q_C により構成されており、低周波領域では Q_L が支配的となり、高周波領域では Q_C が支配的となる。典型的な例として、 $f=1$ GHz において Q_L は約 10、 Q_C は約 100 であるのに対して $f=20$ GHz において Q_L は約 20、 Q_C は約 7 となり、高周波領域において Q_C は非常に低くなる(式(39))。さらに、周波数の高い領域では、CMOS 集積回路の配線層で構成されるインダクタの表皮効果が顕在化する。

ここで、表皮深さを d_s 、表皮効果が顕在化する周波数領域におけるインダクタの直列寄生抵抗を R_{LS} 、インダクタメタルの配線幅 W_L 、厚さ T_L 、全長 l 、抵抗率 ρ_L 、透磁率 μ 、を用いてあらわしたインダクタの Q 値を Q_{LS} とすると、それぞれ式(41)~(43)であらわせる。

$$d_s = \sqrt{\frac{\rho_L}{\pi \mu f}} \quad (41)$$

$$R_{LS} = \rho_L \frac{l}{2(W_L + T_L + 2d_s)d_s} \quad (42)$$

$$Q_{LS} \approx \frac{4(W_L + T_L)L}{l} \sqrt{\frac{\pi f}{\rho_L \mu}} \quad (43)$$

以上により計算した LC 共振器の Q 値の周波数依存性を図 14 に示す。

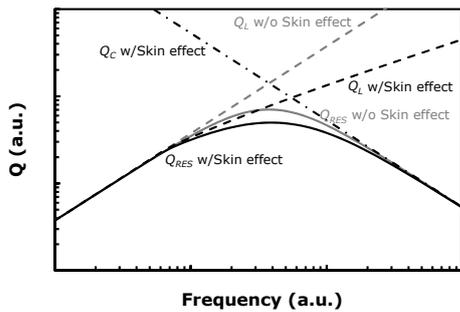


図 14 表皮効果を考慮した場合と考慮しない場合の LC 共振器の Q 値の周波数依存性

図 14 に示したように、低周波領域では、 Q_C が非常に大きいため Q_L のみを考慮すれば良いが、高周波領域では、 Q_C および Q_L の両者を考慮する必要がある。

5.4. 高周波領域におけるバラクタの Q 値の改善[10]

N 個のバラクタを並列接続した場合のバラクタのキャパシタンス、寄生抵抗値は式(44)~(45)で示すことができる。

$$C = N C_{OX} W_v L_v \quad (44)$$

$$R_C = \frac{(R_G + R_B)}{N} = \frac{1}{12N} \left\{ 4\rho_g \frac{W_v}{L_v} + \rho_b \frac{1}{\left(\frac{W_v}{L_v}\right)} \right\} \quad (45)$$

ここで R_G : ゲート抵抗, R_B : 基板抵抗, ρ_g : ゲートポリシリコンのシート抵抗, ρ_b : バルクのシート抵抗, C_{OX} : ゲート酸化膜の単位面積当たりの容量, L_v : バラクタのゲート長, W_v : バラクタのゲート幅である。

式(39), (44), (45)よりバラクタを N 個並列接続し容量値を変えても Q 値は一定となり、さらに式(45)よりバラクタの寄生抵抗値は W_v/L_v に対して極小値をもつと考えられる。

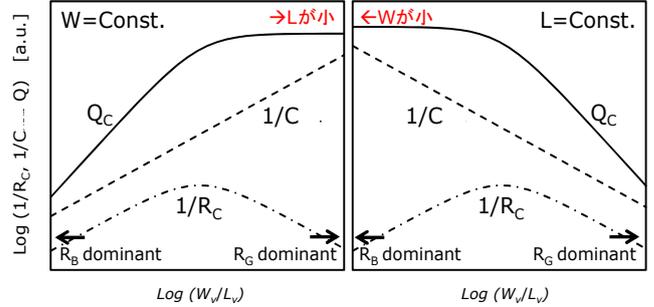


図 15 MOS バラクタの Q 値の W_v/L_v 依存性

図 15 にバラクタの Q 値の W_v/L_v 依存性を示す。つまり、 L_v が一定の場合 (図 15 右), W_v/L_v を減少させると、 R_B は増大するものの R_G は減少し、 R_G が支配的であるこの領域の直列寄生抵抗 R_C は減少する。同時に $W_v L_v$ 積に比例する C も減少するため Q_C は上昇する。しかしながら、さらに W_v/L_v を減少させると、 R_G の減少よりも R_B の増大の方が支配的となるため、 Q_C の上昇は飽和する。 W_v が一定の場合はその逆となる。 R_C の極小値を与える W_v/L_v は式(46)で示され、ゲートポリシリコンのシート抵抗とバルクのシート抵抗の比によって決定され、 W_v 、 L_v を微細化することによって Q_C の向上が見込まれる。

$$\left(\frac{W_g}{L_g}\right)_{at\ Q_{max}} = \sqrt{\frac{\rho_b}{4\rho_g}} \quad (46)$$

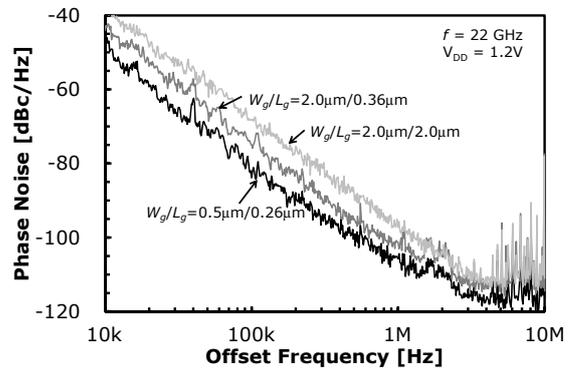


図 16 サイズの異なる 3 種類のバラクタを用いた発振器の位相雑音の離調周波数依存性

そこで、サイズの異なる 3 種類のバラクタを用いた発振器回路を設計・試作し、その位相雑音の離調周波数依存性を評価した結果を図 16 に示す。図 16

に示したように、1 MHz 離調の位相雑音は、 $W_v/L_v = 0.5 \mu\text{m} / 0.26 \mu\text{m}$ のバラクタを用いた VCO で -106 dBc/Hz 、 $W_v/L_v = 2.0 \mu\text{m} / 0.36 \mu\text{m}$ のバラクタを用いた VCO で -102 dBc/Hz 、 $W_v/L_v = 2.0 \mu\text{m} / 2.0 \mu\text{m}$ のバラクタを用いた VCO で -97 dBc/Hz となり、最大約 10dB の改善が確認された。

5.5. 高周波領域におけるインダクタの Q 値の改善[11]

5.3 章に記したように、表皮効果によって Q_L は劣化し、しいては LC 共振器の Q は劣化する。これはインダクタの導体断面の周囲部分にのみ高周波電流が流れることに起因している。そこで、図 17 に示すように表皮効果を低減するために、通常のインダクタを 3 分割し、導体断面の周囲面積が大きいインダクタ（ストライプインダクタ）を用いた発振器を設計・試作し、その位相雑音の離調周波数依存性を評価した。その結果、図 18 に示すように 1MHz 離調の位相雑音は、通常のインダクタを用いた VCO で -101 dBc/Hz 、ストライプインダクタを用いた VCO で -106 dBc/Hz であり、約 5dB の改善が確認された。

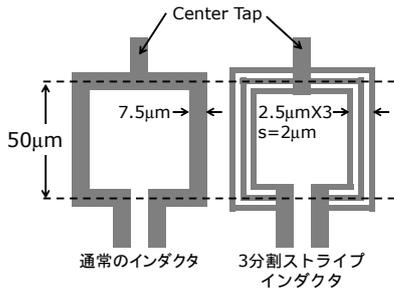


図 17 通常のインダクタとストライプインダクタの構造

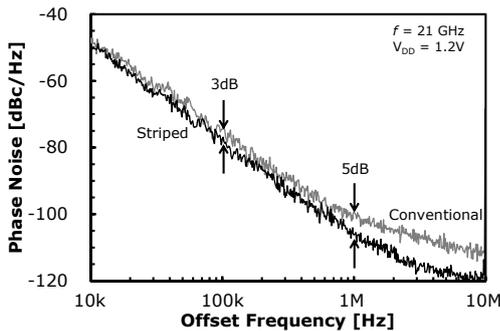


図 18 ストライプインダクタを用いた発振器との通常のインダクタを用いた発振器の位相雑音の離調周波数依存性

6. まとめ

本稿では無線通信回路における発振器の役割、位相雑音の仕様について解説した。そして集積回路上で広く用いられる CMOS プロセスによる発振器の代表としてリング発振器と LC 発振器を取り上げ、その位相雑音の解析を行った。その結果、LC 発振器の位相雑音はリング発振器のそれより 20~30 dB 程度

低いことを計算値および過去の学会で発表されたデータより説明した。これは位相雑音特性における LC 発振器の優位性を示すものである。また、代表的な LC 発振器回路において位相雑音に影響する因子として、発振電力、低周波雑音の重畳について言及し、その改善方法を過去の学会で発表された方法を紹介し解説した。さらに、周波数 20 GHz 以上の高周波領域における LC 共振器の Q 値の劣化要因をキャパシタとインダクタに分けて明らかにした。それらの要因を回避するために、キャパシタは、そのサイズを微細にすることで位相雑音として約 10 dB の、インダクタは表皮効果を抑える構造とすることで位相雑音として 3~5 dB の改善がみられることを説明した。

謝辞

本稿を執筆するにあたり協力いただいた、岡山県立大学情報工学部集積回路工学研究室の、板野由佳氏、辻大輝氏に深謝いたします。

文献

- [1] 黒田忠弘監訳 “RF マイクロエレクトロニクス” 丸善出版, 2002.
- [2] A. A. Abidi, “Phase Noise and Jitter in CMOS Ring Oscillators,” IEEE Journal of Solid-State Circuits, Vol. 41, No. 8, pp.1803-1816, Aug. 2006.
- [3] 1992~2015 までの ISSCC, VLSI Circuits Symposium, CICC, ESSCIRC, A-SSCC, RFIC Symposium より
- [4] N. Itoh, et al., “1200 MHz fully integrated VCO with “Turbo-charger” technique,” ESSCIRC, pp. 370-371, Sep. 2001.
- [5] D. Miyashita, et al., “A phase noise minimization of CMOS VCOs over wide tuning range and large PVT variations,” CICC, pp.583-586, 2005.
- [6] E. Hegazi, et al., “A filtering technique to lower oscillator phase noise,” ISSCC, pp. 364-365, 2001
- [7] (著書の一部を引用する場合) 著者名, “標題,” 書名, 編者名, 章番号または pp.を付けて始め - 終りのページ, 発行所, 発行都市名, 発行年.
- [8] F. Zhang, et al., “Voltage-controlled oscillator in the coil,” CICC, pp.587-590, 2001.
- [9] A. Bansal, et al., “2GHz CMOS noise cancellation VCO,” ASSCC, pp. 461-466, 2008.
- [10] Y.Itano, et. al., "High-Q MOS Varactor Models for Quasi-Millimeter-Wave Low-Noise LC-VCOs," IEICE Trans. on Fundamentals, vol. E97-A, No.3, pp. 759-767, Mar. 2014.
- [11] N. Itoh, et. al., "Striped Inductor for Quasi Millimeter Wave Voltage-Controlled Oscillator," APMC2013, pp.319-321, Seoul, Nov. 2013.

著者紹介

伊藤信之

岡山県立大学情報工学部, 教授,

nobby@c.oka-pu.ac.jp