

マイクロ波増幅器設計の基礎

Design Foundation for Microwave Amplifiers

高木 直
Tadashi TAKAGI

東北大学電気通信研究所 〒980-8577 宮城県仙台市青葉区片平 2-1-1
RIEC, Tohoku University 2-1-1 Katahira, Aobaku, Sendai, Miyagi, 980-8577 Japan

E-mail: takagi@it21.riec.tohoku.ac.jp

Abstract

Basic design technologies for microwave amplifiers and new amplifier schemes will be discussed. The contents are as follows: required performance for microwave amplifiers, basic amplifier configuration and amplification mechanism, output power and efficiency, available power and impedance matching and reflection, S-parameter, low noise amplifiers, harmonic balance analysis, class E, F, and Inverse F operation mechanism including simulation studies for CMOS amplifiers, distortion mechanism and PAPR problem, etc.

1. はじめに

ワイヤレス通信のトラフィックは、この10年で1000倍になるともいわれており[1]、通信の大容量化、高速化、高信頼化は今後ますます重要となる。マイクロ波増幅器は、ワイヤレス通信の送受信機フロントエンドに用いられ、通信システムの性能、コストを左右するキーデバイスとして今後も重要となる。図1にワイヤレス通信の送受信機構成を示す。送信機に用いる高出力増幅器（HPA: High Power Amplifier）には、高出力、低消費電力（高効率）、低歪み（低IM, NPR, ACPR）な性能が要求される。一方、受信機に用いる低雑音増幅器（LNA: Low Noise Amplifier）には、受信機全体として低雑音、低歪み（高IIP3）な性能が求められる。さらに端末用には小型、低コストであることが重要である。

ここでは、マイクロ波増幅器の設計に関する基礎技術および最近の増幅器技術について述べる。以下、マイクロ波増幅器設計における基礎的事項、送信用高出力増幅器の高出力化、高効率化、低歪み化技術、低雑音増幅器設計の基礎について述べる。

2. マイクロ波増幅器設計における基礎的事項

2.1 FETの構造と静特性

従来、マイクロ波増幅器にはGaAsFET、HBT等の化合物半導体が主に用いられてきたが、小型、低コスト化のためSi CMOSが注目されつつある。図2にSi nMOS FETの構造と直流特性例を示す。ドレイン電流 I_D は以下で与えられる。

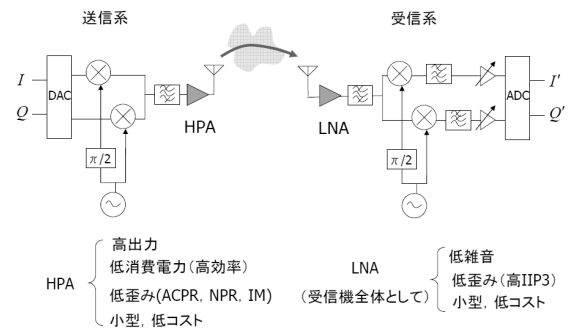


図1 マイクロ波増幅器への要求性能

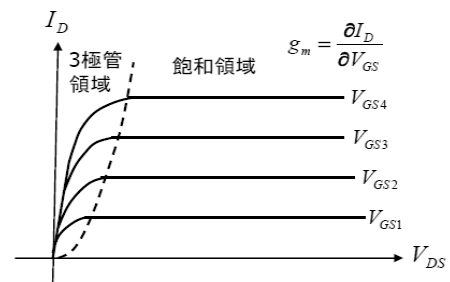
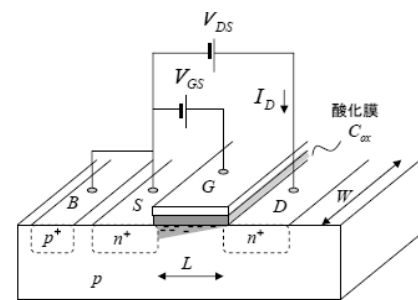


図2 FETの構造と直流特性 -Si nMOS FETの場合-

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (1)$$

3極管領域 ($V_{DS} \leq V_{GS} - V_{TH}$)

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2)$$

飽和領域 ($V_{GS} - V_{TH} \leq V_{DS}$)

ここで、電子移動度 μ_n 、閾値電圧 V_{TH} 、容量 C_{ox} 、ゲート長 L 、ゲート幅 W である。

2.2 マイクロ波FET増幅器の基本構成と増幅動作

図3 に、マイクロ波FET増幅器の基本構成と増幅動作を示す。増幅器は、バイアス印加用直流回路とDCカットコンデンサで直流と分離されたRF回路でなる。一般にFETの入出力インピーダンスは測定系の特性インピーダンス値 Z_0 と異なるので、整合回路を用いてFETに適した負荷インピーダンスとする。入力されたRF信号電圧 $v_{in}(\theta) = \Delta v_g \sin(\theta)$ によりド레인電流 $i_{out}(\theta) = \Delta i_d \sin(\theta)$ が生じ、さらに R_L の負荷に $v_{out}(\theta) = -\Delta v_d \sin(\theta)$ が生じる。 $\Delta i_d = g_m \Delta v_g$ から、電圧利得 G_v は以下で与えられる。

$$G_v = \frac{v_{out}(\theta)}{v_{in}(\theta)} = -g_m R_L \quad (3)$$

さらに、RF出力電力 P_{out} 、直流入力電力 P_{DC} 、ドレイン効率 η_d 、FETで消費される電力 P_C はそれぞれ以下で与えられる。

$$P_{out} = \frac{1}{2\pi} \int_{2\pi} v_{out}(\theta) \cdot (-i_{out}(\theta)) d\theta = \frac{1}{2} \Delta v_d \Delta i_d \quad (4)$$

$$P_{DC} = V_{D0} I_{D0} \quad (5)$$

$$\eta_d = \frac{P_{out}}{P_{DC}} = \frac{\Delta v_d \Delta i_d}{2 V_{D0} I_{D0}} \quad (6)$$

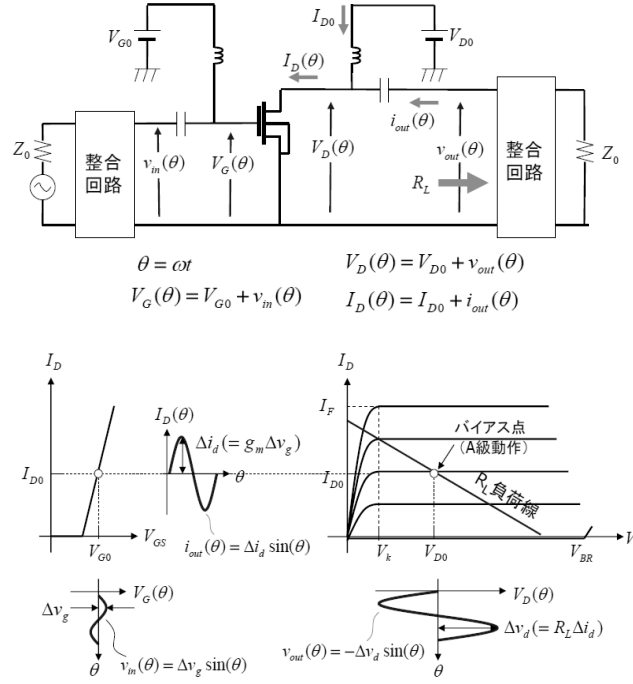


図3 マイクロ波FET増幅器の基本構成と増幅動作

$$P_C = \frac{1}{2\pi} \int_{2\pi} V_D(\theta) I_D(\theta) d\theta = P_{DC} - P_{out} \quad (7)$$

$P_C = 0$ の時、 $P_{DC} = P_{out}$ 、 $\eta_d = 1(100\%)$ となる。後述される高効率化の技術は、FETに印加される電圧と電流波形をうまく形成して、 $P_C = 0$ となるようにするものである。

2.3 有能電力と整合と反射

マイクロ波回路設計で重要な有能電力と整合と反射について述べる。図4において、負荷 R_L に供給される電力 P_L は以下で与えられる。

$$P_L = \frac{1}{2\pi} \int_{2\pi} v_L \cdot i^* d\theta = \frac{R_L |\overline{v_S(\theta)}|^2}{(R_S + R_L)^2 + (X_S + X_L)^2} \quad (8)$$

P_L の最大値 P_{av} を与える X_L 、 R_L の条件は

$$\frac{\partial P_L}{\partial X_L} = 0 \quad \text{かつ} \quad \frac{\partial P_L}{\partial R_L} = 0 \quad (9)$$

から求まり、

$$Z_L = R_L + jX_L = R_S - jX_S = Z_S^* \quad (\text{複素共役整合}) \quad (10)$$

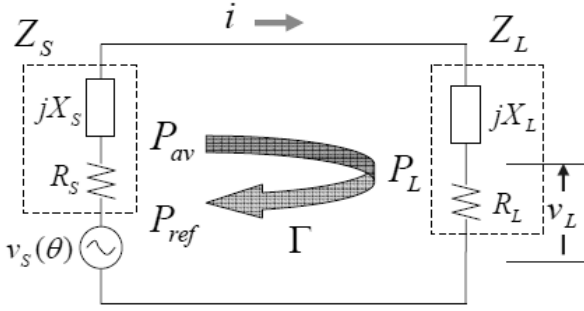


図4 有能電力と整合と反射

この時、

$$P_{av} = \frac{|v_s(\theta)|^2}{4R_s} = \frac{|v_s(\theta)|^2}{4\text{Re}(Z_s)} \quad (\text{有能電力}) \quad (11)$$

ここで、次式で与えられる P_{ref} を考える。

$$P_{ref} = P_{av} - P_L = P_{av} \frac{(R_L - R_s)^2 + (X_L + X_s)^2}{(R_L + R_s)^2 + (X_L + X_s)^2} = P_{av} |\Gamma|^2 \quad (12)$$

$$\Gamma = \frac{Z_L - Z_s^*}{Z_L + Z_s} \quad (\text{反射係数}) \quad (13)$$

共役整合 ($Z_L = Z_s^*$) 時には、反射が無く ($\Gamma = 0$) ,

$P_L = P_{av}$ となる。すなわち、信号源の有能電力 P_{av} は

全て負荷 Z_L で消費される。

2.4 SパラメータとFETの性能指数

マイクロ波増幅器の設計、測定には進行波電圧の比で定義されるSパラメータが一般に用いられる。図5の2ポート回路の場合、Sパラメータは以下のように与えられる。

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (14)$$

FETの性能指数として、入出力同時にインピーダンス整合してえられる最大有能電力利得 MAG (最大安定電力利得 MSG)、安定指数 K 、中和回路にて内部帰還をなくし、かつ、入出力同時にインピーダンス整合して得られる最大ユニラテラル電力利得 U があり、Sパラメータを用いて以下で表わせる。

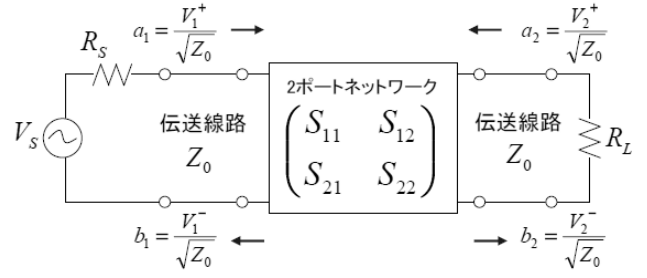


図5 Sパラメータ

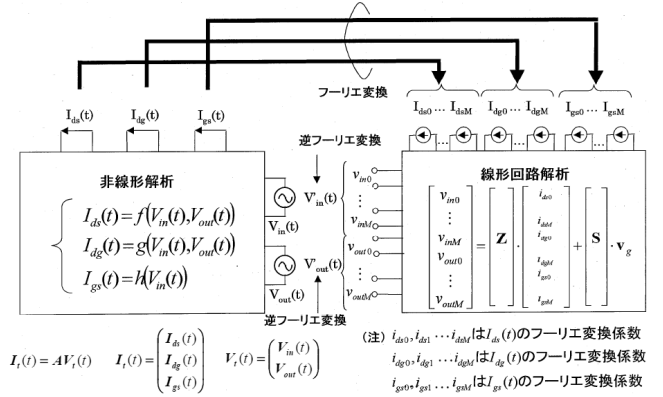


図6 ハーモニックバランスシミュレーションの計算原理

$$MAG = \left| \frac{S_{21}}{S_{12}} \right|^2 (K - \sqrt{K^2 - 1}) \quad (K \geq 1) \quad (15)$$

$$MSG = \left| \frac{S_{21}}{S_{12}} \right|^2 \quad (K \leq 1) \quad (16)$$

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}|^2|S_{21}|^2} \quad (17)$$

$$U = \left| \frac{S_{21}}{S_{12}} - 1 \right|^2 / \left(2K \left| \frac{S_{21}}{S_{12}} \right| - 2\text{Re} \left[\frac{S_{21}}{S_{12}} \right] \right) \quad (18)$$

2.5 非線形シミュレーション

高出力増幅器の設計では、非線形解析が不可欠である。非線形解析技術は (a) 時間領域で行うもの、(b) 非線形部分を時間領域で、線形部分を周波数領域で計算し、それらをフーリエ変換により関係付けて収束解を求めるもの (ハーモニックバランス法[2])、(c) 周波数領域で行うもの、に分類される。図6にハーモニックバランスシミュレーションの計算原理を示す。

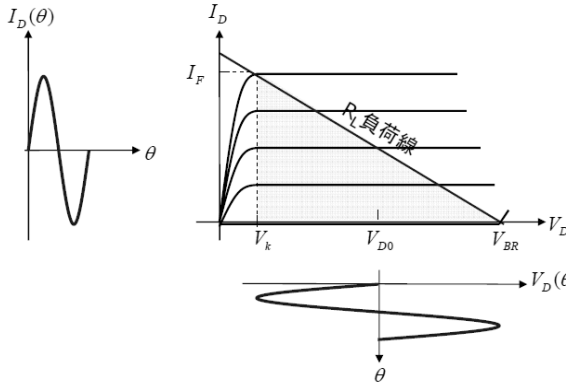


図7 静特性と出力電力

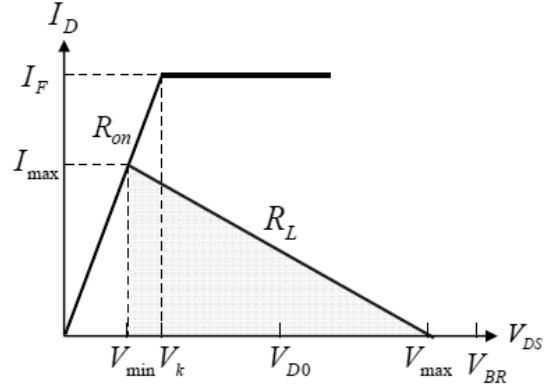


図8 R_{on} を考慮した静特性と出力整合と効率整合

3. 高出力化

図7の静特性デバイスから得られるRF最大出力電力 $P_{out,max}$ は、最大電流 I_F とブレイクダウン電圧 V_{BR} を用いて、以下で与えられる。なお、 V_k はニー電圧である。

$$P_{out,max} = \frac{1}{8}(V_{BR} - V_k) \cdot I_F \approx \frac{1}{8}V_{BR} \cdot I_F \quad (19)$$

高出力化のためには I_F と V_{BR} の増大が必要である。

I_F の増大は FET のゲート幅の増大や電力合成により実現される。一方、 V_{BR} の増大は GaN HEMT 等の高耐圧デバイスの採用により実現される。近年、回路的に見かけの耐圧を高め、高出力化を図る方法としてカスコード接続増幅回路が注目され、特に CMOS 増幅器に用いられつつある[3][4]。

4. 高効率化

4.1 出力整合と効率整合

図8に示すように、実際のFETでは $R_{on} \neq 0$ (従ってニー電圧 $V_k \neq 0$) となっている。この時、バイアス電圧 V_{D0} 、負荷 R_L とすると、出力電力 P_{out} は以下で与えられる[5]。

$$P_{out} = \frac{1}{8}(V_{max} - V_{min})I_{max} = \frac{V_{D0}^2}{2R_L} \frac{1}{(1 + 2R_{on}/R_L)^2} \quad (20)$$

B級動作の場合、直流入力電力 P_{DC} 、ドレイン効率

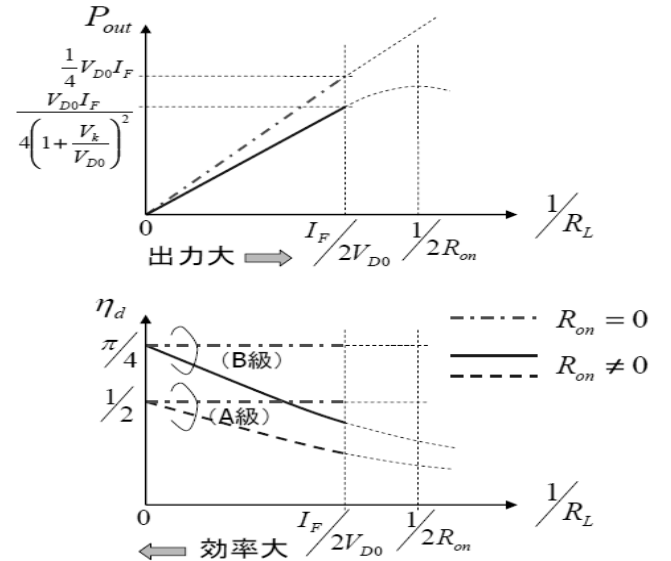


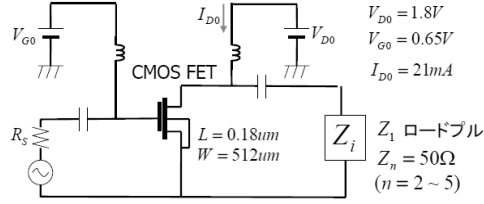
図9 出力電力と効率の R_L 依存

η_D は以下で与えられる。

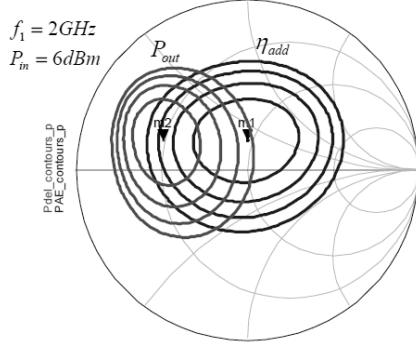
$$P_{DC} = \frac{1}{\pi}V_{D0}I_{max} = \frac{2}{\pi} \frac{V_{D0}^2}{R_L + 2R_{on}} \quad (21)$$

$$\eta_d = \frac{\pi}{4} \frac{1}{(1 + 2R_{on}/R_L)} \quad (22)$$

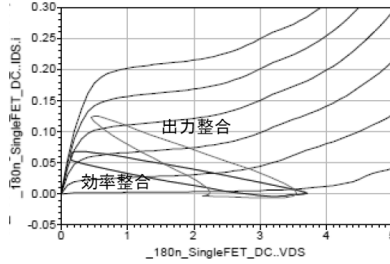
図9に R_L に対する P_{out} と η_d の特性を示す。図には、A級動作およびB級動作について示す。また、 $R_{on} \neq 0$ の場合と $R_{on} = 0$ の場合についても示す。図から、 $R_{on} \neq 0$ の場合、 R_L が大きくなると η_d が高くなるが、逆に P_{out} は小さくなることがわかる。以上から、



(a) 計算モデル



(b) インピーダンス



(c) 負荷線

図10 2GHz CMOS FET増幅器のロードプルシミュレーション例

$R_{on} \neq 0$ の場合、出力整合と効率整合のインピーダンスが異なるといえる。一方、 $R_{on} = 0$ の場合には、 η_d は R_L の値に依存せず一定であることがわかる。

図10に、例として、2GHz CMOS FET増幅器のロードプルシミュレーション結果を示す。インピーダンスと負荷線の特徴は上記理論から予想される結果となっている。

4.2 動作級 A, B, C級

図11にA, B, C級動作の電流電圧波形と流通角 α を示す。ドレイン電流は、 θ が $[-\pi, \pi]$ (1周期) の範囲において以下で表せる。

$$I_D(\theta) = I_{\max} \frac{\cos \theta - \cos(\alpha/2)}{1 - \cos(\alpha/2)} \quad \left(-\frac{\alpha}{2} \leq \theta \leq \frac{\alpha}{2}\right) \quad (23)$$

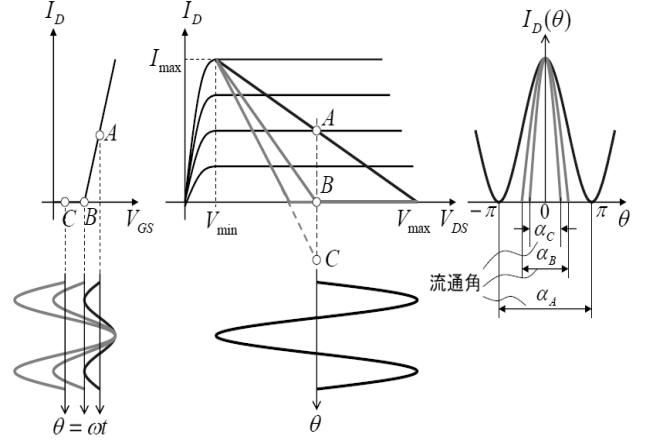


図11 A, B, C級のバイス点, 電流電圧波形、流通角

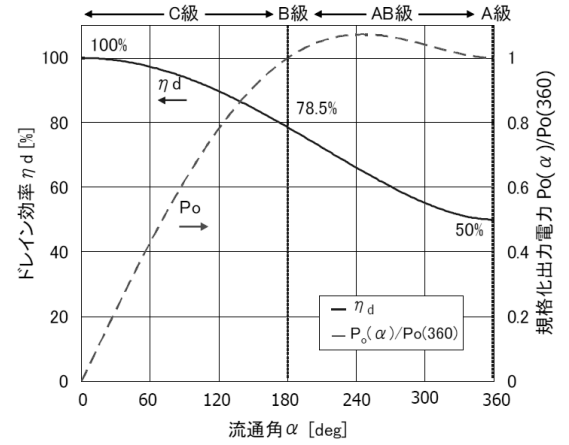


図12 A, B, C級動作の流通角 α と出力電力、効率

$$I_D(\theta) = 0 \quad (\text{other})$$

電流をフーリエ級数展開すると

$$I_D(\theta) = \frac{I_{\max}}{2\pi(1 - \cos(\alpha/2))} \times \{(2 \sin(\alpha/2) - \alpha \cos(\alpha/2)) + (\alpha - \sin \alpha) \cos \theta + \dots\} \quad (24)$$

となり、直流入力電力 P_{DC} 、基本周波数に対する出力電力 P_{out} は次式で与えられる。

$$P_{DC} = V_{D0} I_{D0} = \frac{V_{D0} I_{\max}}{2\pi} \frac{2 \sin(\alpha/2) - \alpha \cos(\alpha/2)}{1 - \cos(\alpha/2)} \quad (25)$$

$$P_{out} = \frac{(V_{D0} - V_{\min}) I_{\max}}{4\pi} \frac{\alpha - \sin \alpha}{1 - \cos(\alpha/2)} \quad (26)$$

これから、ドレイン効率 η_d は、次式で与えられる。

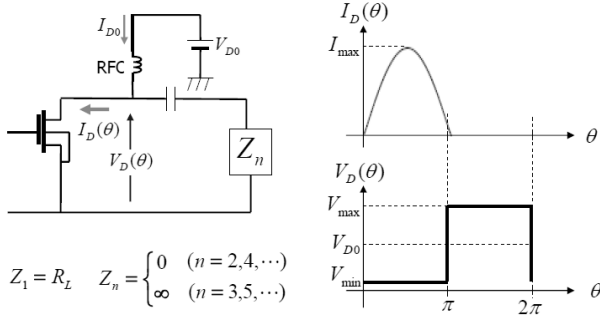


図13 F級増幅器の出力回路構成と電流電圧波形

$$\eta_d = \frac{P_{out}}{P_{DC}} = \frac{(1 - V_{min}/V_{D0})(\alpha - \sin \alpha)}{2(2 \sin(\alpha/2) - \alpha \cos(\alpha/2))} \quad (27)$$

図12に流通角 α と出力 P_{out} 、ドレイン効率 η_d の関係を示す。ここで $V_{min} \approx 0$ と近似している。C級の場合、効率100%が得られるのは $P_{out} \rightarrow 0$ の極限の場合であることがわかる。

4.3 高調波処理 F, 逆F (F^{-1}), E級

4.3.1 F級増幅器[6]

図13にF級増幅器の回路構成と電流電圧波形を示す。電流電圧をフーリエ級数展開すると、

$$I_D(\theta) = I_{max} \left(\frac{1}{\pi} + \frac{1}{2} \sin(\theta) - \frac{2}{\pi} \sum_{n=2,4,\dots} \frac{1}{n^2-1} \cos(n\theta) \right) \quad (28)$$

$$V_D(\theta) = V_{D0} - \frac{4(V_{D0} - V_{min})}{\pi} \sum_{n=1,3,\dots} \frac{1}{n} \sin(n\theta) \quad (29)$$

となり、直流入力電力 P_{DC} 、基本周波数に対する出力電力 P_{out} 、基本波に対する負荷 R_L は次式で与えられる。

$$P_{DC} = \frac{V_{D0} I_{max}}{\pi} \quad (30)$$

$$P_{out} = \frac{(V_{D0} - V_{min}) I_{max}}{\pi} \quad (31)$$

$$R_L = \frac{8(V_{D0} - V_{min})}{\pi I_{max}} \quad (32)$$

これから、ドレイン効率 η_d は、次式で与えられる。

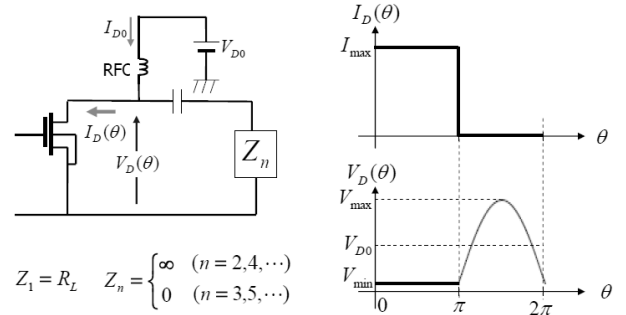


図14 F^{-1} 級増幅器の出力回路構成と電流電圧波形

$$\eta_d = \frac{P_{out}}{P_{DC}} = 1 - \frac{V_{min}}{V_{D0}} \quad (33)$$

$V_{min} = 0$ の極限で、 $\eta_d = 1(100\%)$ となる。

4.3.2 F^{-1} 級増幅器[7]

図14に F^{-1} 級増幅器の回路構成と電流電圧波形を示す。電流電圧をフーリエ級数展開すると、

$$I_D(\theta) = \frac{I_{max}}{2} \left(1 + \frac{4}{\pi} \sum_{n=1,3,\dots} \frac{1}{n} \sin(n\theta) \right) \quad (34)$$

$$V_D(\theta) = V_{D0} + \pi(V_{D0} - V_{min}) \times \left(-\frac{1}{2} \sin(\theta) + \frac{2}{\pi} \sum_{n=2,4,\dots} \frac{1}{n^2-1} \cos(n\theta) \right) \quad (35)$$

となり、直流入力電力 P_{DC} 、基本周波数に対する出力電力 P_{out} 、基本波に対する負荷 R_L は次式で与えられる。

$$P_{DC} = \frac{V_{D0} I_{max}}{2} \quad (36)$$

$$P_{out} = \frac{(V_{D0} - V_{min}) I_{max}}{2} \quad (37)$$

$$R_L = \frac{\pi^2 (V_{D0} - V_{min})}{4 I_{max}} \quad (38)$$

これから、ドレイン効率 η_d は、次式で与えられる。

$$\eta_d = \frac{P_{out}}{P_{DC}} = 1 - \frac{V_{min}}{V_{D0}} \quad (39)$$

これは、 $V_{min} = 0$ の極限で、 $\eta_d = 1(100\%)$ となる。

4.3.3 E級増幅器[8]

図15にE級増幅器の回路構成と電流電圧波形を示す。FETは理想スイッチとして動作するとしている。FET出力に並列に容量 C_p が接続され、負荷は高調波に対してオープン、基本波に対して $Z_1 = R_L + jX_L$ となっている。また、負荷に流れる電流を $I_{rf} \cos \theta$ とすると、並列に容量 C_p を含むFET側回路を流れる電

流 $I_D(\theta)$ は以下のように与えられる。

$$I_D(\theta) = I_{D0} + I_{rf} \cos \theta \quad (40)$$

$$= I_{D0}(1 + m \cos \theta) = i_f(\theta) + i_c(\theta)$$

$$m = \frac{I_{rf}}{I_{D0}} = -\frac{1}{\cos \alpha_1} \quad (41)$$

$$m^2 = 1 + \left(\frac{2\pi + \sin \phi - \phi}{1 - \cos \phi} \right)^2 \quad (42)$$

ここで、 $i_f(\theta)$ はオン時にFETに流れる電流、 $i_c(\theta)$ はオフ時に C_p に流れる電流である。

FETに印加される電圧 $V_D(\theta)$ は、 $(-\alpha_1 \leq \theta \leq \alpha_2)$ で、

$$V_D(\theta) = 0 \quad (43)$$

$(\alpha_2 \leq \theta \leq 2\pi - \alpha_1)$ で、

$$V_D(\theta) = \frac{1}{\omega C_p} \int_{\alpha_2}^{\theta} i_c(\theta) d\theta = \frac{1}{\omega C_p} \int_{\alpha_2}^{\theta} I_D(\theta) d\theta \quad (44)$$

$$= \frac{I_{D0}}{\omega C_p} (\theta + m \sin \theta - \alpha_2 - m \sin \alpha_2)$$

となる。さらに、

$$V_D(\theta) = V_{D0} + V_{ci} \cos \theta + V_{cq} \sin \theta \quad (45)$$

として、式(43)、(44)を用いて各成分を求めると

$$V_{D0} = \frac{1}{2\pi} \int_{2\pi} V_D(\theta) d\theta = \frac{I_{D0} m}{4\pi \omega C_p} \times \{m(\sin^2 \alpha_1 - \sin^2 \alpha_2) + 2(\cos \alpha_2 - \cos \alpha_1)\} \quad (46)$$

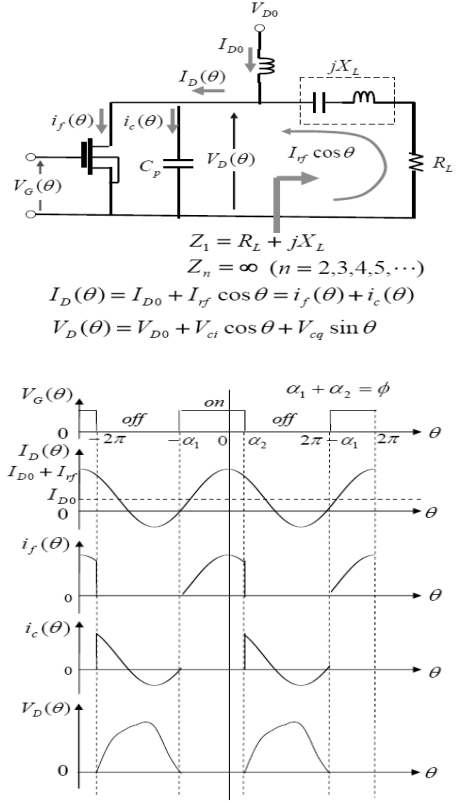


図15 E級増幅器の出力回路構成と電流電圧波形

$$V_{ci} = \frac{1}{\pi} \int_{2\pi} V_D(\theta) \cos(\theta) d\theta = -\frac{I_{D0}}{2\pi \omega C_p} \times \{m(\sin^2 \alpha_1 - \sin^2 \alpha_2) + 2(\cos \alpha_2 - \cos \alpha_1)\} \quad (47)$$

$$V_{cq} = \frac{1}{\pi} \int_{2\pi} V_D(\theta) \sin(\theta) d\theta = \frac{m I_{D0}}{2\pi \omega C_p} \times \left\{ \left(m - 2 - \frac{2}{m} \right) (\sin \alpha_1 + \sin \alpha_2) + \frac{1}{2} (\sin 2\alpha_1 - \sin 2\alpha_2) + 2 \sin \alpha_2 \cos \alpha_1 \right\} \quad (48)$$

これから、

$$P_{out} = -\frac{1}{2} I_{rf} V_{ci} = I_{D0} V_{D0} = P_{DC} \quad (49)$$

$$\eta_d = \frac{P_{out}}{P_{DC}} = 1 \text{ (100\%)} \quad (50)$$

$$R_L = -\frac{V_{ci}}{I_{rf}} = \frac{1}{2\pi \omega C_p m} \times \{m(\sin^2 \alpha_1 - \sin^2 \alpha_2) + 2(\cos \alpha_2 - \cos \alpha_1)\} \quad (51)$$

$$X_L = \frac{V_{cq}}{I_{rf}} = \frac{1}{2\pi \omega C_p} \times \left\{ \left(m - 2 - \frac{2}{m} \right) (\sin \alpha_1 + \sin \alpha_2) + \frac{1}{2} (\sin 2\alpha_1 - \sin 2\alpha_2) + 2 \sin \alpha_2 \cos \alpha_1 \right\} \quad (52)$$

例えば、B級バイアス時には $\phi = \alpha_1 + \alpha_2 = \pi$ から $m = 1.862$ となる。これから以下が得られる。

$$R_L = \frac{0.183}{\omega C_p} \quad X_L = \frac{0.144}{\omega C_p}$$

並列装荷する C_p は任意の値であってよい。マイクロ波帯FETの場合、FETの内部容量を利用できる。

5. 低歪み化

図16に歪み発生メカニズムを示す[9]。一般に増幅器は、飽和出力近くで効率が增大するが、そこでは歪み特性が悪くなる。増幅器の歪みは、(a)振幅、位相の非線形性、(b)飽和出力特性によるピーク電力カット(PAPR(Peak Average Power Ratio)問題)、によって生じる。(a)は各種歪み補償による線形化により補償可能であるが、(b)はピーク電力に追従する増幅器構成とすることが必要になる

5.1 歪み補償

図17に歪み補償方式をまとめて示す。歪み補償は大きく、(a)プリディストーション、(b)フィードバック、(c)フィードフォワードに大別される。また、(a)にはアナログ方式とデジタル方式がある。これらひずみ補償は、性能やコストなどの目的に応じて使い分けられる。

5.2 ピーク出力電力アップ (PAPR問題への対応)

PAPR問題改善のために、検討されている増幅器方式としてドハティ(Doherty)増幅器[10][11]、ET(Envelope Tracking)[12][13]、EER(Envelope Elimination and Restoration)[14]、LINK(Linear Amplification using Nonlinear Components)[15]、などがある。以下では、近年実用化に向けて開発が進められているドハティ増幅器とETについて述べる。

図18(a)、(b)にドハティ増幅器の基本構成と動作を示す。B級バイアスされ小信号レベルから動作するキャリア増幅器と、C級バイアスされ大信号レベルになって動作開始するピーク増幅器とを用いて構成される。(a)入力信号レベルが低い間はキャリア増幅器のみが動作していて、増幅器から負荷側を見込むインピーダンスは $2R_L$ となっている。このとき、負荷

に出力される電力は $V_{D0}^2 / 4R_L$ である。(b)入力信号レベルを増大し、ピーク増幅器もキャリア増幅器と同等の出力レベルで動作すると、それぞれの増幅器

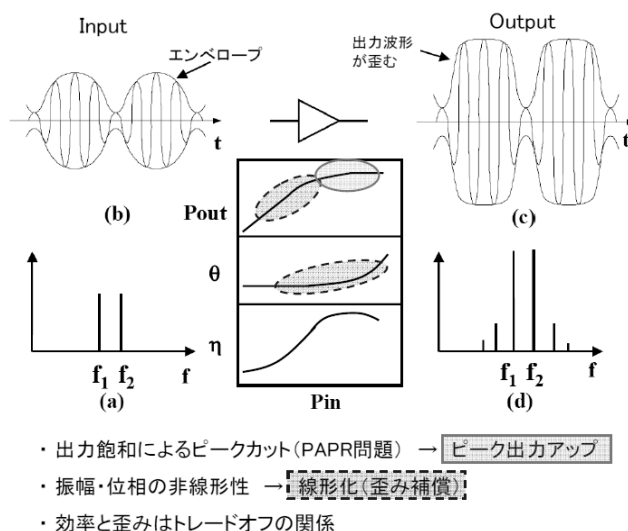
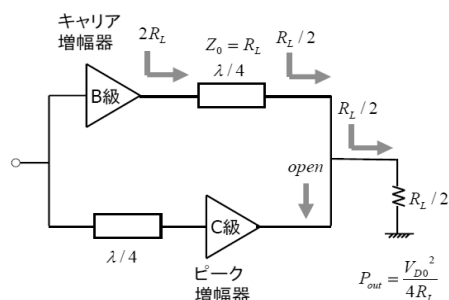


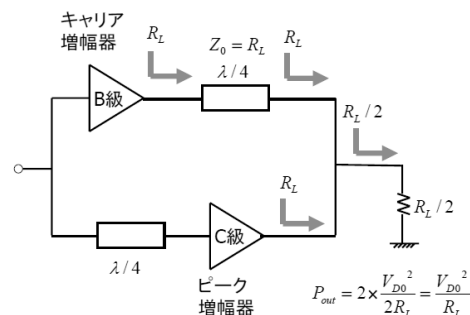
図16 歪み発生メカニズム

歪み補償方式	プリディストーション		フィードバック	フィードフォワード
	アナログ	デジタル		
歪み補償量	小/中	中/大	中	大
補償を行う信号	RF/IF	デジタル	IF/BB	RF
サイズ	小/中	中/大	中	大
構成	歪み発生 → HPA		帰還 → HPA	HPA → delay → 歪み増幅 → delay → 加算

図17 歪み補償方式



(a) 低出力時



(b) 高出力時

図18 ドハティ増幅器の基本構成と動作

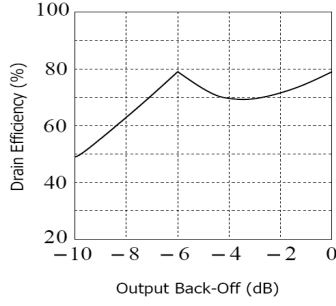


図19 ドハティ増幅器の効率特性

から負荷を見込むインピーダンスは R_L となる。この時、各増幅器から出力される電力は $V_{D0}^2 / 2R_L$ となり、これが同相合成され、負荷に出力される電力は V_{D0}^2 / R_L となり、出力は4倍 (6dB) に増大される。なお、 $R_{on} \approx 0$ の近似が成り立つ場合、効率は負荷インピーダンスの値によって変わらない。図19に理想状態でのドハティ増幅器の効率特性を示す。

図20にET増幅器構成を示す。入力信号のエンベロープを抽出し、これをD級増幅器などで高効率に増幅し、主増幅器のドレインバイアスに印加する。信号レベルに応じて、ドレインバイアス電圧が増大し、増幅器出力を増大することができる。

ドハティ増幅器もET増幅器もピーク出力近傍で非線形性が増大する。このため、デジタルプリディストorterによるひずみ補償と一体で用いる必要がある。

6. 低雑音増幅器の基礎

6.1 雑音指数 NF 、雑音温度 T_e

図21に雑音を含む系の増幅の様子を示す。増幅器の雑音指数 NF は入出力の SNR の比で定義され、以下で表せる。

$$NF = \frac{S_i/N_i}{S_o/N_o} = \frac{N_o}{N_i G} = 1 + \frac{N_a}{N_i} \quad (53)$$

ナイキストの定理より、入力源で発生する有能雑音電力 N_i は、

$$N_i = kT\Delta f \quad (54)$$

ここで、 k : ボルツマン定数、 T : 入力源の温度、 Δf : 測定周波数帯域、

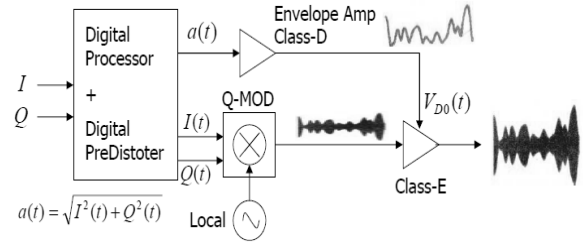


図20 ET (Envelope Tracking) の構成と動作

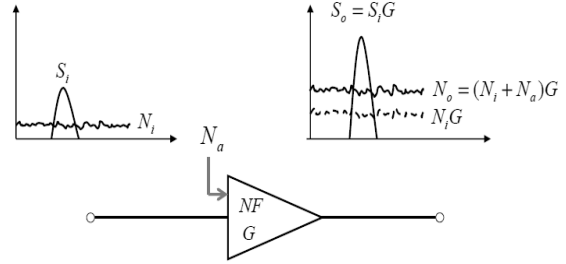


図21 SNRと雑音指数F, 雑音温度 T_e

$$\begin{aligned} N_{a1} &= kT_{e1}\Delta f & N_{a2} &= kT_{e2}\Delta f \\ &= (NF_1 - 1)N_i & &= (NF_2 - 1)N_i \end{aligned}$$

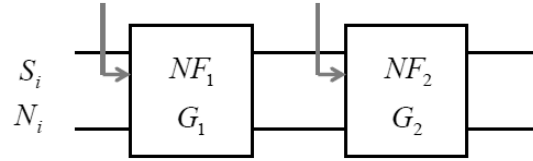


図22 従属接続回路の雑音指数, 雑音温度

N_a は増幅器内部で発生する雑音電力に対応する入力換算雑音電力である。

ここで、 N_a による等価雑音温度を T_e とすると

$$N_a = kT_e\Delta f \quad (55)$$

式(53)～(55)から、

$$NF = 1 + \frac{T_e}{T} \quad (\text{雑音指数と雑音温度の換算}) \quad (56)$$

6.2 従属接続回路の雑音指数[16]

図22の2段の従属接続回路を考える。各段の入力換算雑音電力 N_{a1} 、 N_{a2} は

$$N_{a1} = kT_{e1}\Delta f = (NF_1 - 1)N_i \quad (57)$$

$$N_{a2} = kT_{e2}\Delta f = (NF_2 - 1)N_i \quad (58)$$

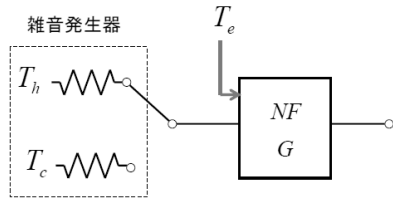


図23 雑音指数測定法 (Yファクタ法)

出力される雑音電力 N_o は以下で与えられる。

$$N_o = G_1 G_2 (N_i + N_{a1}) + G_2 N_{a2} \quad (59)$$

これから雑音指数 NF_{12} 、雑音温度 T_{12} は以下となる。

$$NF_{12} = \frac{N_o}{N_i G_1 G_2} = NF_1 + \frac{NF_2 - 1}{G_1} \quad (60)$$

$$T_{12} = T_{e1} + \frac{T_{e2}}{G_1} \quad (61)$$

6.3 雑音指数計測 (Yファクタ法)

図23にYファクタ法の原理を示す。源の温度が

T_h 、 T_c のそれぞれの場合の出力雑音電力 $N_{o,h}$ 、 $N_{o,c}$ は以下となる。

$$N_{o,h} = k(T_h + T_e) \Delta f G \quad (62)$$

$$N_{o,c} = k(T_c + T_e) \Delta f G \quad (63)$$

$N_{o,h}$ 、 $N_{o,c}$ の比 Y は

$$Y = \frac{N_{o,h}}{N_{o,c}} = \frac{T_h + T_e}{T_c + T_e} \quad (64)$$

これから

$$T_e = \frac{T_h - Y T_c}{Y - 1} \quad (65)$$

$$NF = 1 + \frac{T_h - Y T_c}{T(Y - 1)} \quad (66)$$

特に、 $T_c = T$ のとき、

$$NF = \frac{T_h / T - 1}{Y - 1} = \frac{ENR}{Y - 1} \quad (67)$$

なお、ENR (Excess Noise Ratio) は、使用する雑音発

生器 (ノイズダイオード) ごとに与えられている。

7. まとめ

マイクロ波増幅器設計における基礎的事項、送信用高出力増幅器の高出力化、高効率化、低歪み化技術、低雑音増幅器の基礎について述べた。

文 献

- [1] T. Yuge, <http://www.dvlsi.jst.go.jp/topics/1112DVLSIWS%20yuge.pdf>
- [2] M. S. Nakha and J. Vlach, "A piecewise harmonic balance technique for determination of periodic response of nonlinear systems," IEEE Trans. on Circuits Syst. CAS-23, pp.85-91, Feb. 1976.
- [3] T. Sowlati, and D. M. W. Leenaerts, "A 2.4-GHz 0.18-um CMOS self-biased cascade power amplifier," IEEE J of Solid-State Circuits, vol.38, no.8, Aug. 2003.
- [4] S. Leuschner, S. Pinarello, U. Hodel, J. Mueller, and H. Klar, "A 31-dBm, High Ruggedness Power Amplifier in 65-nm Standard CMOS with High-Efficiency Stacked-Cascode Stages," 2010 IEEE RF Symp., pp.395-398, may 2010.
- [5] Y. Takayama, "Considerations for high-efficiency operation of microwave transistor power amplifiers," IEICE Trans. Electron., vol.e80-c, no.6, pp.726-733, June 1997.
- [6] D. M. Snider, "A theoretical analysis and experimental confirmation of the optimally loaded and overdriven RF power amplifier," IEEE Trans. on ED, vol.ED-14, no.12, pp.851-857, Dec. 1967.
- [7] Y. Y. Woo, Y. Yang, and B. Kim, "Analysis and experiments for high-efficiency class-F and inverse class-F power amplifiers," IEEE Trans. on MTT, vol.54, no.5, pp.1969-1974, May 2006.
- [8] F. H. Raab, "Idealized operation of the class E tuned Power Amplifier," IEEE Trans. on Circuits and Systems, vol.CAS-24, no.12, pp.725-735, Dec. 1977.
- [9] T. Takagi, S. Ogura, Y. Ikeda, and N. Suematsu, "Intermodulation and noise power ratio analysis of multiple carrier amplifiers using discrete fourier transform," IEICE Trans. Electron., vol.E77-C, no.6, pp.935-941, June 1994.
- [10] W.H.Doherty, "A new high efficiency power amplifier for modulated waves," Proc. IRE, vol.24, no.9, pp.1163-1182, 1936.
- [11] F.H.Raab, "Efficiency of Doherty RF power-amplifier systems," IEEE Trans. Broadcast., vol.BC-33, no.3, pp.77-83, Sec.1987.
- [12] F.H.Raab, "High efficiency amplification techniques," IEEE Circuits and Systems Journal, no.7, pp.3-11, 1975
- [13] F. Wang, A. H. Yang, D. F. Kimball, L. E. Larson, and P. M. Asbeck, "Design of Wide-bandwidth envelope-tracking power amplifiers for OFDM applications," IEEE Trans. on MTT, vol.53, no.4, pp.1244-1255, April 2005.
- [14] L.R.Kahn, "Single sideband transmission by envelope elimination and restoration," Proc. IRE., vol.40, no.7, pp.803-806, July 1952.
- [15] D.C.Cox, "Linear amplification with nonlinear components," IEEE Trans. on Communication, vol.COM-22, pp.1942-1945, 1974.
- [16] H. T. Frits, "Noise Figures of Radio Receivers," Proceedings of the I.R.E., vol.32, pp.419-422, July 1944.