Si デバイス特性と高周波発振器回路の基礎
Foundation of silicon high-frequency oscillators and influence of device characteristics

伊藤信之

Nobuyuki Itoh

（株）東芝 セミコンダクター社
横浜市栄区笠間 2-5-1

Semiconductor Company Toshiba Corporation

2-5-1, Kasama, Sakae-ku, Yokohama, Kanagawa, 247-8585 Japan

Tel: +81-45-890-2422, Fax: +81-45-890-2781, nobuyuki3.ito@toshiba.co.jp

Abstract

This paper describes foundation of silicon high-frequency oscillators and influence of device characteristics, especially for RFCMOS circuits. CMOS process has been popular for even in RF circuits since its frequency characteristics improvement due to scaling. However it is necessary to prepare accurate device modeling for accurate RF circuit design such as VCO. Since the phase noise mechanism of VCO are complicated and almost all them are originated by device characteristics. Therefore, accurate device model is necessary to realize highly accurate RF design.

1. 高周波 LSI の発展

移動体通信の低コスト化、高機能化、一般化に伴い、無線通信機を構成する高周波 LSI の集積化も年々進んできている。例えば 10 年以上前には、無線通信機を構成する高周波回路ブロックのそれぞれが、一つずつの LSI であったのに比較して、5～7 年前には、ディジタル回路および AD/DA 変換器を除く殆どの回路ブロックが一つの LSI として集積化され、さらに近年は多くの LSI がディジタル回路および AD/DA 変換器を含む 1 チップ LSI として開発されてきている。

これらを実現するためには、技術的に多くの課題を克服する必要があった。それは、LSI の設計技術のみならず、デバイス技術、パッケージ技術、テスト技術等々、様々な分野に波及してきている。

10 年以上前の高周波 LSI を構成するためのプロセス技術は、高周波領域である低雑音増幅器（Low Noise Amplifier, LNA）、周波数混合回路（Mixer, MIX）、電力増幅器（Power Amplifier, PA）、電圧制御発振器（Voltage Controlled Oscillator, VCO）等は化合物半導体の HBT、HEMT、MESFET プロセス等が用いられ、広いダイナミックレンジを持ち、利得を可変する必要があり、動作周波数も比較的高い中間周波増幅器（Intermediate Frequency Amplifier, IF-AMP）等では Si-バイポーラプロセスが用いられることが常であった。また、VCO とともに局部発振器を構成する PLL（Phase Locked Loop）では CMOS プロセスもしくは BiCMOS プロセス（PLL の中には比較的高い周波数を扱わなければならないプリスケーラ（Prescaler）等の回路があり、その部分をバイポーラプロセスで、カウンタ等の小規模ディジタル回路部分を CMOS プロセスで構成するために、BiCMOS プロセスが用いられた）を用いた製品が開発された。

5～7 年前の世代の LSI はディジタル回路および AD/DA 変換器を除く回路が 1 チップ化されてきたため、高周波領域、中間周波数領域、小規模ディジタル回路を同じプロセスで実現しなければならないため、BiCMOS プロセスが用いられた。この背景には SiGe バイポーラトランジスタに代表されるように、Si ベースのバイポーラトランジスタの周波数特性が格段に高くなり、遮断周波数（f_T）が数十 GHz に達した事による。SiGe-BiCMOS プロセスは現在でも多くの無線通

信用 LSI に用いられている。

近年、CMOS の微細化とともに CMOS の f_T も向上しており、高周波回路を実現することが現実的となってきた。そのため、前述したようなディジタル回路および AD/DA 変換器を含んだ高集積な無線通信用 LSI を CMOS プロセスで実現することが可能となってきた。この背景にはもちろん、コストの安い CMOS を用いることにより、集積化とプロセスコストの相乗効果により、さらに安価なチップを提供できる、という経済的な理由もある。これら無線通信機用 LSI の変遷を図 1(a)～(c)に示した。

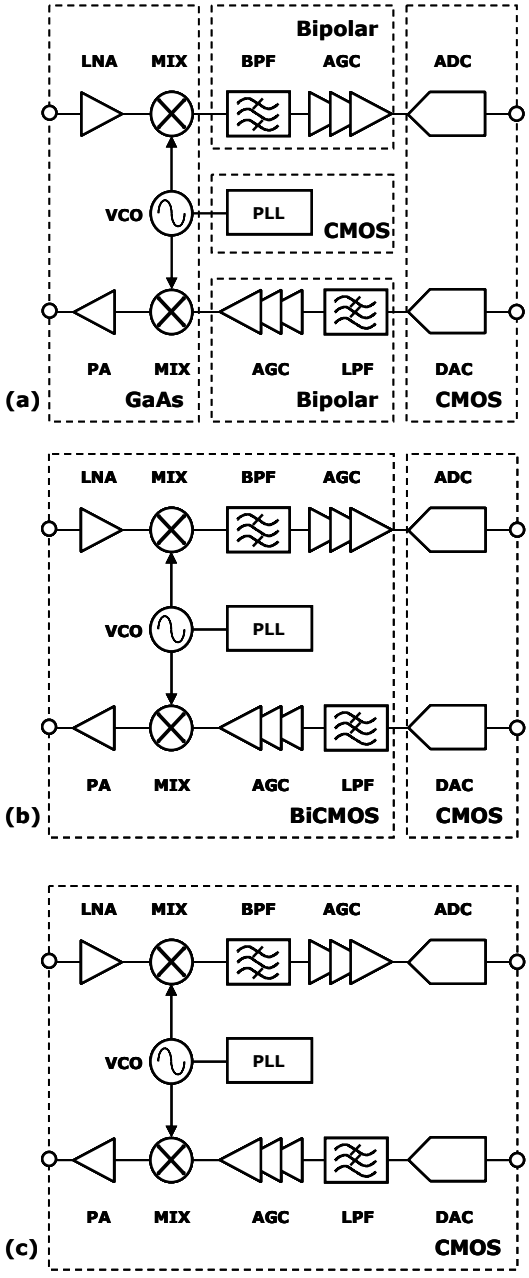

図 1　無線通信機用集積回路の変遷

設計技術もしくはそのための基本となるデバイスモデリング技術は図 1(a)で示した、それぞれが個別の LSI で構成されていた時代の方がより単純であった。もちろん、その時代の高周波領域における測定・評価技術と現在のそれは比べるべくも無いが、それぞれ専用の領域のみをカバーしていれば事たるからである。例えば、化合物半導体は高周波領域をカバーしていれば良く、Si-バイポーラトランジスタは中間周波数領域のみをカバーしていれば良く、CMOS はディジタル設計に耐えうるものであれば良かった。ところが、図 1(b)に示した BiCMOS プロセスにて高周波回路から小規模ディジタル回路までカバーする時代になると、この様相は一変した。つまり、同一プロセスにおいて、多くの周波数領域をカバーしなければならなくなったため、評価技術はもとよりデバイスモデリング技術の向上が求められたのである。さらに図 1(c)のような CMOS プロセスにて全てをカバーしなければならなくなると、その特性をさらに詳細に解明することが、無線通信用 LSI を実現するためには必須となっている。

本論文では、上記のような背景のもと、CMOS プロセスのデバイスモデリングの基礎と、特にデバイス特性に敏感な回路の一つとして VCO 回路の基礎を論じる。

2. MOSFET のモデル

2.1 高周波モデル

MOSFET はスィッチ素子として多く用いられてきたトランジスタである。代表的な例としては、DRAM の容量を充放電するためのスィッチ、インバータを代表とするディジタル回路の動作もスィッチ動作であり、離散系信号処理に用いるスイッチトキャパシタもスィッチ素子である。そのため、常に着目される MOSFET の特性は、スィッチの閾値をきめるための閾値電圧（Threshold Voltage, V_{th}）、充放電特性に対して重要な駆動力を示す I_{dr}（$V_{gs}=V_{ds}=V_{dd}$ の場合の電流値）、そしてリーク電流を示す I_{off}（$V_{gs}=0V$ の場合の電流値）である。そのため、アナログ回路で用いる、その中間領域の特性は軽視されがちであった。また、デバイスモデルも上記のような特性を反映させることができれば良い

（Barkley の Level-1 モデルに代表される）と考えられていた。無論、それに対してデバイス特性を忠実に表現する必要性からモデルそのものは改善されてきたが、高周波特性を忠実に再現することは、近年まで広く用いられてきた BSIM3 モデルでも困難である。図 2 に BSIM3 モデルを用いたゲート長（L_g）=0.11μm の NMOS の s-パラメータ特性の測定値とシミュレーション値を示す。

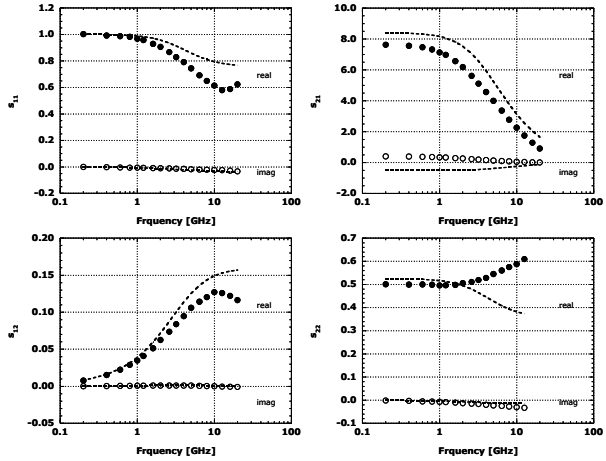

図 2　NMOSFET の s-パラメータ特性の測定値（●）と BSIM3 モデルを用いた場合のシミュレーション値（--）

図 2 より、全ての s-パラメータ特性において、周波数が 1～2GHz 以上の領域では測定値とシミュレーション値の間に大きな乖離が生じることが判る。高周波回路の設計を行う場合、この乖離は重要である。

2.2 熱雑音モデル

MOSFET の雑音の周波数特性は図 3 に示すように低周波領域ではフリッカ雑音が支配的であり、高周波領域では素子の周波数特性劣化による雑音特性劣化が支配的となる。そして、熱雑音は全ての周波数領域の雑音に寄与する。

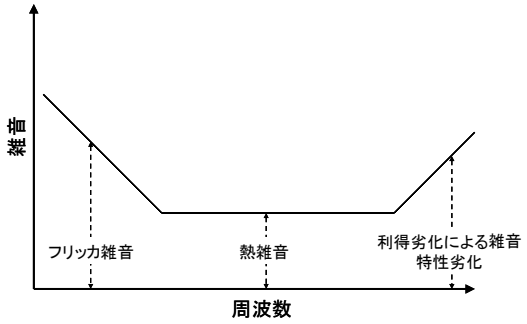

図 3　MOSFET の雑音の周波数特性

MOSFET の熱雑音源としてはチャネル抵抗、ゲート寄生抵抗、ソース寄生抵抗、ドレイン寄生抵抗、基板抵抗等がある。チャネル抵抗は式(1)で示される。

$$\overline{i_{ch}^2} = 4kT\left[\gamma \frac{W_g}{L_g}\mu C_{OX}\left(V_{gs} - V_{th}\right)\right] = 4kT\gamma g_{d0} \qquad (1)$$

ここで、γは式(2)で示され、三極管動作時はη = 1（γ = 1）、五極管動作時はη = 0（γ = 2/3）となることが知られている。

$$\gamma = \frac{2}{3} \times \frac{1+\eta+\eta^2}{1+\eta} \qquad (2)$$

ゲート寄生抵抗はゲートコンタクトからチャネル部分までのゲート電極（通常は不純物が添加されたポリシリコン）の抵抗が支配的であり、式(3)に示すことができる。

$$R_g = R_{sg} \times \frac{W_f}{3 \times L_g \times M_f} \qquad (3)$$

ここで、R_{sg} はゲート電極のシート抵抗、L_g はゲート長、W_f はゲートフィンガー幅、M_f はゲートフィンガー数である。式(3)から判るようにマルチゲートの MOSFET を用いることにより、ゲート抵抗を低減させることができる。

ソース抵抗、ドレイン抵抗は式(4)で示すことができる。

$$R_{SD} = R_{sSD} \times \frac{X_{GC}}{W_f \times M_f} \qquad (4)$$

ここで、R_{sSD} はソースもしくはドレインの拡散層のシート抵抗、X_{GC} はチャネルからソース・ドレインのコンタクトまでの距離である。現在の CMOS プロセスでは、ソース・ドレインの拡散層は高濃度となっており、したがってそのシート抵抗は小さく、また、表面はシリサイド化されているため、R_{sSD} は非常に小さい値となることが知られている。さらに、アナログ RF 回路に用いられるマルチフィンガーの MOSFET においては X_{GC}/W_fM_f が小さいため、ソース抵抗、ドレイン抵抗は無視でき得る値となることが多い。

基板抵抗は後で述べるように、高周波特性に大きな影響を与えるが、素子の雑音特性としては支配的ではない。また、MOSFET のレイアウト設計に大きく依存するため、その算出式は複雑となる[1]。

通常のソース接地の回路の雑音特性に最も大

きな影響を与える寄生抵抗は、チャネル抵抗とゲート抵抗である。しかしながら、近年まで広く用いられてきたBSIM3モデルにおいてはゲート抵抗そのものが存在しない。したがって、このパラメータを用いてシミュレーションを行うと、その雑音特性は実際のデバイスを測定した値と大きな乖離が生じることとなる。図4にMOSFETの雑音指数（NF50）の測定値とBSIM3モデルを用いたシミュレーション値を示す。

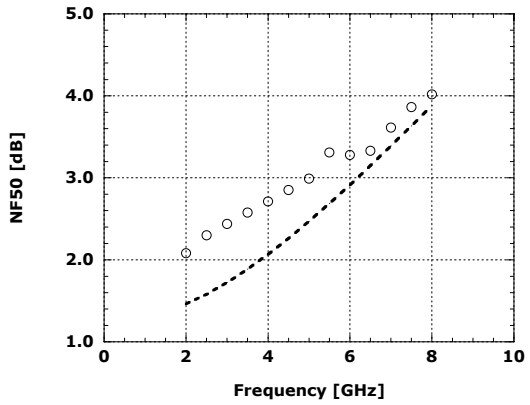

図4　NMOSFETの雑音指数の測定値（○）とBSIM3モデルを用いた場合のシミュレーション値（--）

図4より、BSIM3を用いたシミュレーション値と測定値の間には0.5dB以上の乖離があることがわかる。このようなパラメータを用いて雑音に繊細なRFアナログ回路（LNA、VCO等）を設計することは困難である。

2.3 フリッカ雑音モデル

図2に示したようにMOSFETの雑音は、低周波領域においてはフリッカ雑音が支配的である。特にMOSFETは、他のシリコンデバイスと比較してフリッカ雑音が大きいため注意が必要となる。MOSFETのフリッカ雑音はSPICE2モデルが良く用いられており、式(5)で示される。

$$S_{id} = \frac{K_F I_{ds}^{AF}}{C_{OX} L_g^2 f^{EF}} \qquad (5)$$

ここで、K_F、A_F、E_Fは雑音パラメータ、C_{OX}は単位面積当たりのゲート容量、I_{ds}は動作電流値である。モデルとしてのスケーラビリティという観点から考えると、同じプロセスであれば、素子の大きさ（L_g、W_g）、動作範囲、閾値電圧が異なる場合でも同じパラメータ（K_F、A_F、E_F）を用いて表現できることが望まれる。同一ウェーハ上に形成されたL_g=0.11μmとL_g=1μmのNMOSの雑音の測定値を、式(5)を規格化した雑音測定値（$S_{id} \times L_g^2$）でプロットすると図5のように異なった曲線を描くこととなる。つまり、モデルのスケーラビリティは保たれていない。

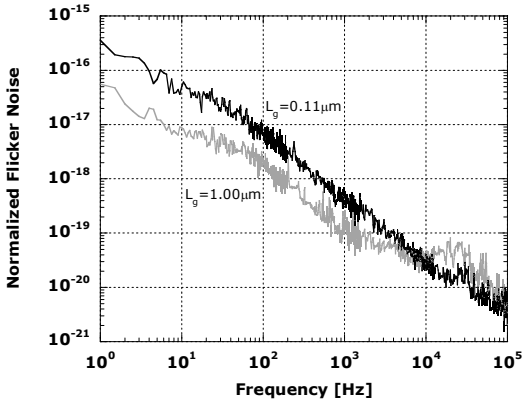

図5　規格化された雑音測定値の周波数特性をLg=0.11μmとLg=1.00μmのNMOSの比較

2.4 素子構造に忠実なMOSFETモデル

2.1節、2.2節で述べたMOSFETのモデルと、実際のデバイスの振る舞いを合致させるためには、素子構造に忠実なモデルを作成すべきである。つまり、実際のMOSFETは図6に示すように様々な寄生抵抗、寄生容量があるにもかかわらず、BISM3までのSPICEモデルにはそれが反映されていない事が2.1節、2.2節で述べた乖離を生んでいると考えられるからである。

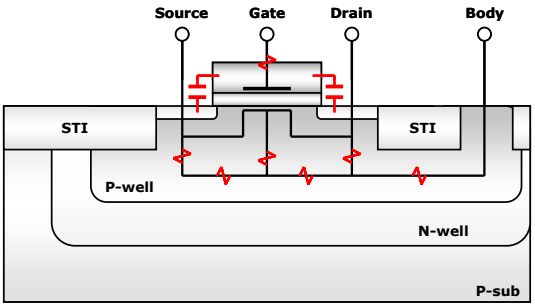

図6　実際のデバイス構造と各種寄生素子

これらを勘案して考え出されたMOSモデルを図7に示す。ここで、考慮した寄生素子は、ゲート抵抗（R_g）、ゲート・ソース間容量（C_{gs}）およびゲート・ドレイン間容量（C_{gd}）、ゲート・基板間容量（C_{gb}）、ソースおよびドレインの接合を並行平板容量のモデルからpn接合へ変更した（D_{jsb}、D_{jdb}）こと、および、そこに付随す

る寄生抵抗（R_{sub1}、R_{sub4}）、基板（ウェル）抵抗（R_{sub2}、R_{sub3}）等であり、図6に示したものとそれぞれが合致することとなる。また、それぞれの端子の配線には寄生インダクタンス（L_g、L_s、L_d）も考慮した。

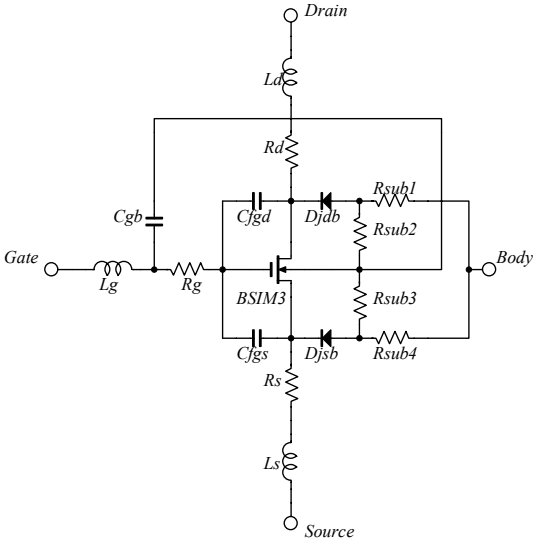

図 7　寄生素子を勘案した MOSFET モデル

図7のモデルを用いて、図2で示したs-パラメータの高周波特性を再度確認した。図8にその結果を示す。図2と比較して図8では、s_{11}、s_{21}、s_{12}、s_{22}ともに測定値と良い一致を示していることが判る。

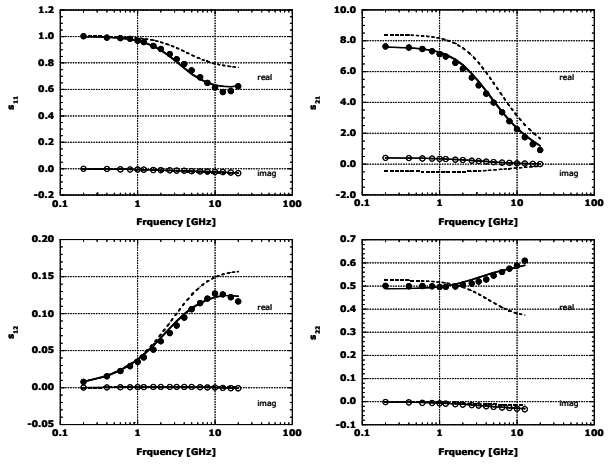

図 8　NMOSFET の s-パラメータ特性の測定値（●）、BSIM3 モデルを用いた場合のシミュレーション値（--）および図7に示したモデルを用いた場合のシミュレーション値（ー）

同様に、図7のモデルを用いて、図3で示した雑音指数の高周波特性を再度確認した。図 9にその結果を示す。図2と比較して図9では、測定値と良い一致を示しており、測定値とシミュレーション値の差は最大0.3dB程度まで縮めることができることが判る。

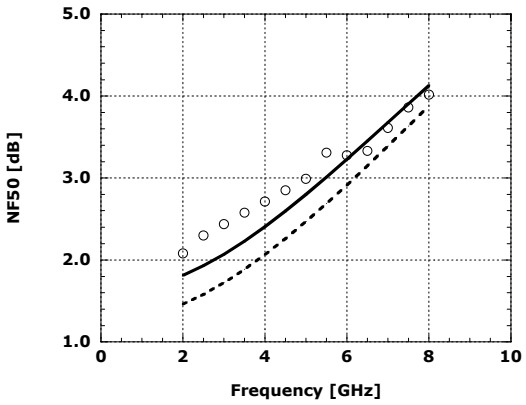

図 9　NMOSFET の雑音指数の測定値（○）と BSIM3 モデルを用いた場合のシミュレーション値（--）および図7に示したモデルを用いた場合のシミュレーション値（ー）

2.5 微細化に伴う問題点

素子の微細化に伴い、その雑音特性等は悪化する場合が多い[2]。2.2節で述べたように、キャリアの速度飽和が起きていない場合のチャネル雑音は式(1)で示したが、キャリアの速度飽和が起こっている領域における雑音は式(6)で表現される[3]。

$$\overline{i_{ch,vs}^2} = \delta \frac{4kT}{L_g^2} \cdot \frac{I_{ds}}{E_{crit}} \frac{1}{\alpha} \sinh(\alpha \Delta L) \qquad (6)$$

ここで、ΔLは速度飽和領域のゲート長、E_{crit}はチャネル長方向の最も電界の高い部分の電界、δはフィッティングパラメータである。実際のデバイスはチャネル長方向に速度飽和が起きている領域、速度飽和に達していない領域があるため、式(7)のように書ける[4]。

$$\overline{i_{ch,vs}^2} = 4kT\gamma g_{d0} + \delta \frac{4kT}{L_g^2} \cdot \frac{I_{ds}}{E_{crit}} \frac{1}{\alpha} \sinh(\alpha \Delta L)$$

$$= 4kT g_{d0} \gamma_{em} \qquad (7)$$

ここで、雑音パラメータγ_{em}は長チャネル領域から0.1μm以下の領域まで包括した実験的な雑音パラメータであり、古典的な雑音パラメータγを含む値である。雑音パラメータγ_{em}は式(8)のように示すことができる。

$$\gamma_{em} = \gamma + \delta \frac{I_{ds}}{L_g^2 \cdot E_{crit} \cdot \alpha} \sinh(\alpha \Delta L) \frac{1}{g_{do}} \qquad (8)$$

L_gが数μm～40nmのゲート長を有するNMOSの雑音パラメータの文献値および、計算値と測定

値を図 10 に示す。計算されたチャネル雑音パラメータγ_{em}は、Lg=40nm において 3.5、L_g=60nm において 2.2、L_g=70nm において 2.0、L_g=110nm において 1.6、L_g=140nm において 1.5 となった。L_g=40nm における雑音パラメータγ_{em}は長チャネルMOSFETに対して約5倍大きい値を示す。式(8)によって計算された値は、測定値から抽出した値に対しても、他の論文に掲載されていた値に対しても良い一致を示した。

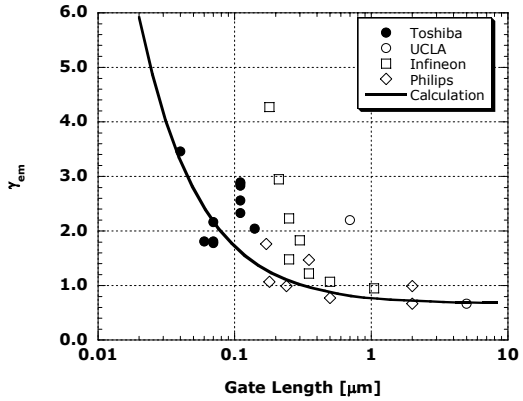

図 10　NMOS のγ_{em}の計算値、実験値と他文献による実験値

その他、微細化に伴うフリッカ雑音の劣化[8]、STI ストレスにおける移動度の変調[9]等が報告されている。

3. 電圧制御発振器の基礎

3.1 電圧制御発振器に求められる特性

VCO は、過去においてはシリコン上で集積化することが困難とされてきた回路のひとつであり、集積化が必須となっている回路ブロックでもある。VCO に要求される特性は、(a).発振周波数、(b).チューニングレンジ、(c).位相雑音、(d).プッシングおよびプリング、である。代表的な電圧制御発振器の回路図を図 11 に示す。

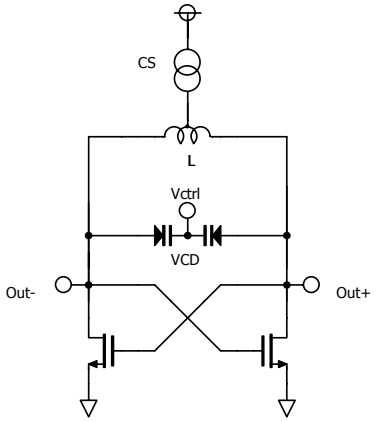

図 11　代表的な電圧制御発振器回路

現在、多く用いられているシリコン上に集積した VCO は図 11 に示すような LC 共振器を用いた LC-VCO であり、多くの場合、L は配線層を用いたスパイラルインダクタを用いるためその値は固定値、C は制御電圧によって容量を変化させることができる可変容量素子、バラクタ（Varactor）を用いることによって周波数を可変している。

VCO の発振周波数は式(9)によって表される。

$$f_{osc} = \frac{1}{2\pi\sqrt{LC(V_{ctrl})}} \qquad (9)$$

式(9)で示される発振周波数を有する VCO においては、チューニングレンジはバラクタの容量可変幅$\Delta C(\Delta V_{ctrl})$によって決定される。シリコン上で形成できる、pn 接合、MOS 容量の可変幅は 50%程度が最大であるため、得られるチューニングレンジは 25%程度が限度である。が、近年はそれを数ビット並列接続し、切り替えることにより、大きな容量可変幅を得、しいては周波数チューニングレンジを大きくすることが検討、実用化されている。

VCO の位相雑音は最も重要な特性であり、トランジスタのデバイス特性とも関連性が深い。次節より、VCO の位相雑音特性に着目する。

3.2 位相雑音の離調周波数依存性

VCO の位相雑音は式(10)によって表される[10]。

$$L(\Delta f) = \frac{kT \cdot F}{P_{osc}}\left[1+\left(\frac{1}{2Q}\cdot\frac{f_{osc}}{\Delta f}\right)^2\right]\left(1+\frac{f_c}{\Delta f}\right) \qquad (10)$$

ここで k はボルツマン定数、T は絶対温度、F は発振器を構成するゲインセルの雑音指数、P_{osc}は発振電力、Q は共振器の Q 値（一般にQ_{ind}が低いため$Q \fallingdotseq Q_{ind}$と考えられる）、f_{osc}は発振周波数、Δf はキャリアからの離調周波数、f_cは位相雑音におけるフリッカ雑音起因の f^{-3} 領域と熱雑音起因の f^{-2} 領域のコーナー周波数である。

VCO の位相雑音の離調周波数依存性は、式(10)より、次の依存性をもつ。

$\Delta f \ll f_c$ の場合：　　-3 次
$f_c < \Delta f < f_{osc}/(2Q)$ の場合：　-2 次
$\Delta f \gg f_{osc}/(2Q)$ の場合：　0 次

したがって、共振器の Q が高いということは狭い帯域でフロア雑音レベルに達することとなる。

図 12 に位相雑音の離調周波数依存性を図示する。

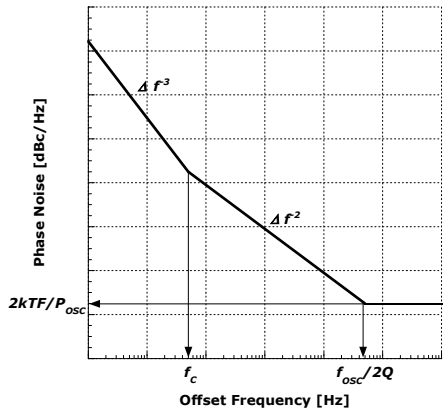

図 12　VCO の位相雑音の離調周波数依存性。$\Delta f < f_c$ の場合-3 次、$f_c < \Delta f < f_{osc}/(2Q)$ の場合-2 次、$\Delta f > f_{osc}/(2Q)$ の場合は 0 次の依存性をもつ

3.3 位相雑音の発振周波数依存性

前節の式(10)におけるゲインセルの雑音パラメータ F は、共振器の負性コンダクタンス G_{neg} とゲインセルのトランスコンダクタンス G_m の比により、式(11)で表される。

$$F = \gamma A = \gamma \frac{G_m}{G_{neg}} = \gamma \frac{G_m}{R_{eff}} (2\pi f_{osc} L_{ind})^2 \qquad (11)$$

ここで A は VCO の発振マージン、γはゲインセルを構成するトランジスタの雑音係数、R_{eff} は実効抵抗値であり、多くの場合インダクタの直列抵抗 $R_S = R_{eff}$ である。(11)式より、G_m 一定のゲインセルを用いた場合、発振周波数が高くなることによってゲインセルの雑音は増大することがわかる。

一方、式(10)における発振電力 P_{osc} は式(12)のように表わされる。

$$P_{osc} = \frac{{V_{osc}}^2}{2} = \frac{1}{2}\left(\frac{2}{\pi} I_B \omega_{osc} L_{ind} Q_{ind}\right)^2 = 8(I_B Q_{ind} L_{ind} f_{osc})^2 \qquad (12)$$

ここで、L_{ind} は共振器コイルのインダクタンス、I_B はゲインセルのコア部のバイアス電流、Q_{ind} は共振器コイルの Q である。VCO の発振電力は式(12)より、発振周波数が高くなるにつれ、増大するが、次第に飽和する。この特性は VCO のバイアス電流を増減させた場合と全く同じであり、飽和以前の領域を電流制限領域、飽和以降を電圧制御領域という。

電流制限領域における位相雑音は、式(10)～(12)より式(13)で示すことができる。

$$L(\Delta f) \approx \frac{kT \cdot F}{P_{osc}} \left(\frac{1}{2Q} \cdot \frac{f_{osc}}{\Delta f}\right)^2 = kT \frac{R_{eff} \gamma G_m}{8 I_B^2 (f_{osc} L_{ind})^2} \left(\frac{R_{eff}}{4\pi L_{ind} \Delta f}\right)^2 \qquad (13)$$

そのため発振周波数が高くなるほど位相雑音は低下する。

一方、電圧制御領域においては、発振電力 P_{OSC} は飽和しているため、位相雑音は式(14)で示される。

$$L(\Delta f) \approx \frac{kT \cdot F}{P_{osc}} \left(\frac{1}{2Q} \cdot \frac{f_{osc}}{\Delta f}\right)^2 = \frac{kT}{P_{osc}} \gamma \frac{G_m}{R_{eff}} (2\pi f_{osc} L_{ind})^2 \left(\frac{R_{eff}}{4\pi L_{ind} \Delta f}\right)^2 \qquad (14)$$

式(14)より、位相雑音は発振周波数が高くなるほど劣化する。

以上の検討より、VCO の位相雑音の発振周波数依存性図 13 に示すように、下に凸の特性をもつ。位相雑音が極小値を得る発振周波数における位相雑音に寄与している成分は、LC 共振器の Q である。

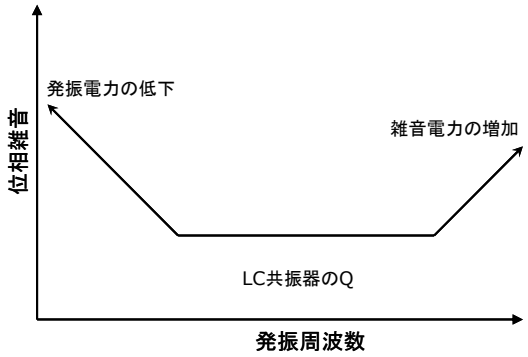

図 13　VCO の位相雑音の発振周波数依存性。発振周波数の低い領域では、発振電力が低いため位相雑音は劣化し、発振周波数が高い領域では発振電力は一定となるため、バイアス電流増加に伴う雑音電力が増大する。

3.4 位相雑音の最適化

前節で VCO の位相雑音が発振周波数依存性を持つことを述べたが、そのような依存性の少ない回路が望ましいことは言うまでもない。例えば、図 13 で示される位相雑音の発振周波数依存性をもつ VCO においては、低発振周波数側もしくは高発振周波数側のバイアス電流を制御することによって、VCO の発振周波数依存性を平坦

にすることが可能となる。このような検討により設計されたVCOの位相雑音を図14に示す[11]。

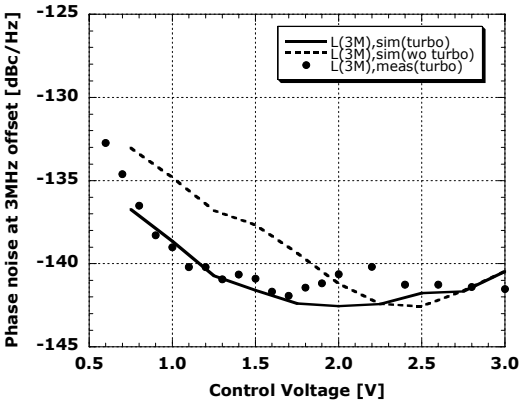

図 14　電流制御を行った VCO の位相雑音の発振周波数（制御電圧）依存性の測定値（●）、とシミュレーション値（ー）および電流制御を行わなかった場合のシミュレーション値（--）。

図 14 に示したように、電流制御を行うことにより、広い発振周波数領域において、位相雑音の低い VCO を実現することができる。

3.5 位相雑音のシミュレーションとモデル

2.4 節で述べたように、MOSFET のモデルとしてはデバイス構造に忠実なモデルが、素子の s-パラメータレベルの検証では実際のデバイスの測定値と良い一致を示すことが判っている。では、そのモデルを用いて VCO の位相雑音を見積もった場合と、通常のモデルを用いた場合とではどのくらいの差異があるかを検討した。その結果を図 15 に示す。

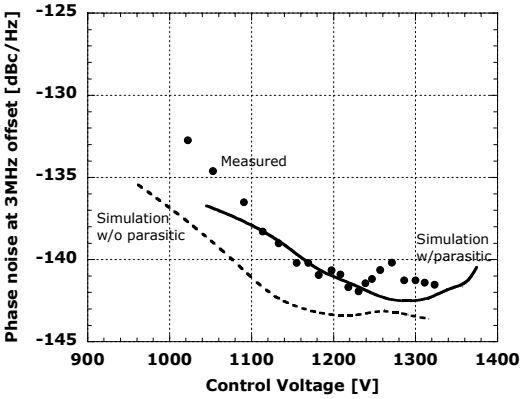

図 15　デバイス構造に忠実なモデルを用いて VCO の位相雑音をシミュレーションした場合（ー）、VCO の位相雑音の測定値（●）、通常のモデルを用いて VCO の位相雑音をシミュレートした場合（--）の比較。

図 15 から見いだせるように、デバイス構造に忠実なモデルを用いてシミュレーションを行った場合、その結果は位相雑音の測定値とほぼ一致するのに対して、通常のモデルでシミュレーションを行うと、3～4dB 程度の乖離が生じる。このように、デバイス構造に忠実なモデルを用いることが高精度な設計を行う上で重要である。

4. 結論

本論文ではシリコン MOSFET の特性と、それを表現するためのモデル、デバイス特性の影響が大きい VCO 回路の位相雑音特性について論じた。

シリコン MOSFET は微細化とともに高周波回路に用いることができるようになってきたが、実用化のためにはデバイス構造に忠実なモデルを作成する必要がある。また、VCO 回路の位相雑音は、雑音と発振電力のトレードオフとなる特性があり、素子の雑音を適切に把握することが重要である、デバイス構造に忠実なモデルを用いることにより、VCO の位相雑音のシミュレーション精度を高めることが可能となる。

参考文献

[1] N.Itoh, et al., "Scalable Parasitic Components Model of CMOS for RF Circuit Design," IEICE Transaction of Fundamentals, vol. E86-A, No.2, pp.288-298, February, 2003.

[2] N. Itoh, "MOSFET modeling for RF circuit design" MOS-AK Workshop, Leuven, Belgium, September, 2004.

[3] G. Knoblinger, et. al., “A New Model for Thermal Channel Noise of Deep-Submicron MOSFETS and its Application in RF-CMOS Design,” IEEE Journal of Solid-State Circuits, vol.36, No.5, pp.831-837, May, 2001.

[4] N. Itoh, et. al., "Channel Noise Enhancement in Small Geometry MOSEFT and Its Influence on Phase Noise Calculation of Integrated Voltage-Controlled-Oscillator," John Wiley & Sons, International Journal of Numerical Modelling, vol.18, No.4, pp.255-266, July, 2005.

[5] A. Abidi, “High-frequency noise measurements on FETs with small dimensions,” IEEE Transaction of Electron Devices, vol.ED-33, pp.1801-1805, November, 1986.

[6] G. Knoblinger, et. al., “Thermal Channel Noise of Quarter and Sub-Quarter Micron NMOS FET’s,” Proceedings of the 2000 International Conference on Microelectronic Test Structure (ICMTS2000), Monterey, CA, pp95-98, March, 2000.

[7] A. J. Scholten, et. al., “Noise Modeling for RF CMOS Circuit Simulation,” IEEE Transaction on Electron Devices, Vol. 50, No. 3, pp618-632, March, 2003.

[8] T.Ohguro, et. al., “The impact of oxynitride process, deuterium annealing and STI stress to 1/f noise of 0.11 μm CMOS,” Symp. VLSI Tech. Dig., 2003.

[9] R.A.Bianchi, et. al., “Accurate Modeling of Trench Isolation Induced Mechanical Stress effects on MOSFET Electrical performance,” Proceedings of IEDM, 2002.

[10] T. H. Lee, “The Design of CMOS Radio-Frequency Integrated Circuits,” Cambridge University Press, p535, 1998, ISBN 0-521-63061-4.

[11] N.Itoh, et. al., "1200-MHz Fully Integrated VCO with “Turbo-Charger” Technique," IEICE Transaction of Electronics, vol. E85-C, No.8, pp.1569-1576, August, 2002.