高速高周波エレクトロニクス実装技術の基礎
Foundation of Jisso Technology For High Speed and High-Frequency Electronics

井上　博文
NEC システム実装研究所

Hirobumi INOUE
System Jisso Technologies Research Laboratories,　NEC Corporation
1120 Shimokuzawa, Sagamihara, Kanagawa, 229-1198, Japan

Abstract

Recently, high-speed performance and high-speed data processing performance are necessary in the electronic device.　The signal of these devices includes high frequency, and noise and reflection have been causing a trouble.　High performance of the device and that wiring technology (as for these, of the JISSO technology) are the points to realize these high-frequency characters.

The factor making a more advanced JISSO technology difficult is the point which not only a semiconductor but also a mounting method of construction to assemble arrangement as the parts, connection structure with the circuit board, and so on must be thought synthetically about.

This paper was explained about the method which improved frequency characteristic in consideration of the structure made by the parts and wiring.

1.　はじめに

インターネットが普及し，画像情報の伝達，動画の配信などが行われ，数百 Mbytes～数 Gbytes という大容量データを秒単位で高速に伝送することが望まれている。電子機器ではこうした高速通信機能とこれを支える高速データ処理機能が求められ，実装上の課題となっている。

近年，パソコンなどのデジタル回路の高速 LSI(Large Scale Integrated Circuits)は，動作周波数が急速に高くなり，実装設計では高い周波数成分を含む電気信号を考慮する必要が生じている。周波数が高くなると，機器内のわずかな距離を伝送する際にも損失が大きく，通信技術の考え方を実装に取り込む必要が生じる。距離の基準を波長の何倍かということで考えるならば，１MHz における１km は１GHz における１m に相当ということになる。古くは数百メートル以上の距離を伝送することを目的として発展してきた通信技術が，今日，機器内実装設計の要となっている[1]。

本講座では代表的な２つの実装，すなわち CMOS デジタル回路の代表される多ピンデバイスの実装と，無線回路などの少ピンデバイスの実装とを挙げ，その実装構造を示し，設計での課題，もの作りでの課題とその解決方法について要点を解説する。

2.　高速高周波回路の実装構造

2.1　高速回路の実装構造

ここで言う高速回路実装とは，デジタル回路に代表される入出力数が 100 ピン以上の多ピンデバイスの実装を指す。これに対して高周波回路実装は比較的少ピンのデバイスに関するもので，これらは実装構造が異なる。

多ピンデバイス実装は，CMOS-LSI をいかに実装するかが課題であるといっても過言ではない。従来 CMOS は GaAs などに比べて高い周波数で使われることはなかったが，半導体フォトリソグラフィ技術の革新などにより電極やトランジスタ構造，配線の微細化がなされ，これにより高い周波数での動作が可能となり，今では，デジタル回路のみならず携帯電話の高周波回路にも使われるようになった。

図１に高速回路(CMOS-LSI)実装の高周波化，多ピン化の進展を示す。CMOS-LSI は，高速化は微細配線により配線容量が少なくなることに加えて，回路上での工夫，すなわちデータの並列化や信号振幅を小さくすることで実現がなされてきた。データの並列化は信号ピン数の増加につながり，低振幅化は電源ピンの増大（低電圧化による消費電流の増大による)につながった。

すなわち，微細配線が多ピン化と動作周波数拡大を両立させながら実現してきた。

ところがプリント配線板は，多く制約事項が

あり,多ピン化と周波数の拡大が両立できない。制約事項は，人が扱う大きさを保ち，所定の強度を確保し，温度による熱膨張の差を吸収しなければならないなどである。そのため図１に示すような半導体との差が生じてきた。

実装の困難度は速度とピン数の両方により決まる。ピン数が少なければより高速なデータ速度を実現できる。数ピンのパッケージで高速信号1～2本の時,20GHz を越える帯域確保(通常，伝送路ではデータ速度 Gbps の数倍の周波数 GHz 帯域を必要とする）も可能である。逆にピン数が多くても速度が遅ければ実現可能である。

図２に代表的な高速回路での実装例(断面図)を示す。半導体チップ（LSI）はインターポーザーを介してボード（プリント配線板）に搭載される。通常，デバイスと呼ぶものは，LSI 電極の狭い間隔をインターポーザーなどでボードに載せられるだけのピン間隔に拡張したものを指し，言い換えればパッケージングされた半導体である。ピン数の多い高速回路では，このデバイスを搭載するボードに，多層のプリント配線板を用いるのが一般的である。デバイスとボードの間は，ピン数が数百ピン程度では４方向に端子電極が張り出した QFP（Quad Flat Package)，それより多くなると格子配置の端子電極を持つ BGA（Ball Grid Array）が一般に用いられる。

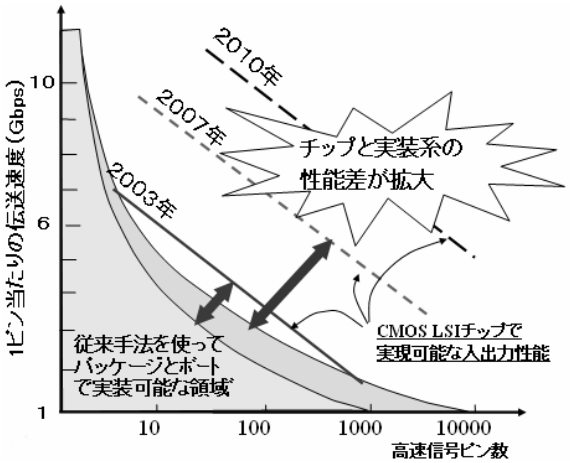


図１　高速回路(CMOS-LSI)実装の高周波化，多ピン化の進展

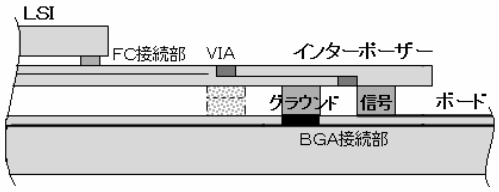


図２　代表的な高速回路の実装構造断面

2.2 高周波回路の実装構造

高周波機器と周波数の推移を図３に示す。代表的な実装構造を図４に示す。マイクロ波，ミリ波利用の機器における周波数の拡大は僅かである。この帯域では大気の水蒸気での減衰など，物理的な制約があり，所望の用途に適した周波数があり、単に高くすればよいというものではない。そのため，こうした制約の影響がない室内の無線ＬＡＮなどで周波数が上がってきている[(2)]。

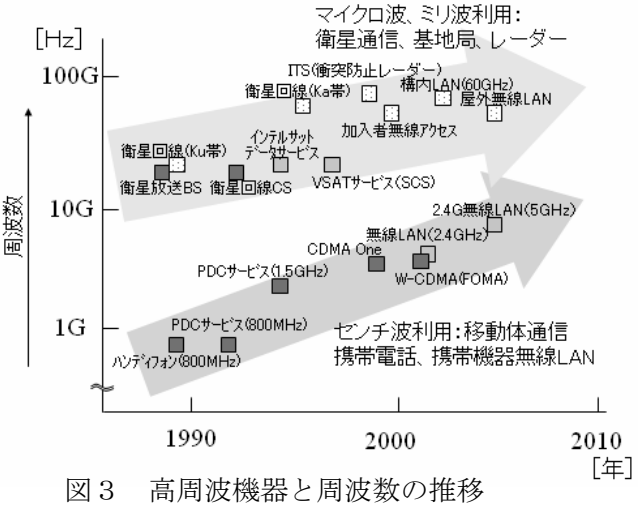
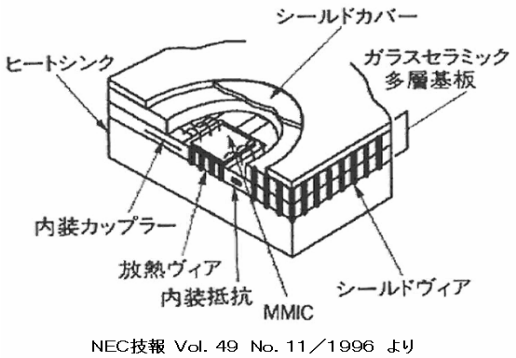


図３　高周波機器と周波数の推移

携帯電話を代表とした移動体通信では,当初,加入者数の増加への対応のため周波数を高くする必然性があったが，現在では CDMA（Code Division Multiple Access）により必ずしも周波数を上げる必要がなくなった。現在では，周波数を高くするよりも，むしろ接続の確実性を高めるため１台の端末で複数の周波数の電波，特に低い周波数側を併用し，より効率の良い電波を選択する，いわゆるマルチＲＦ化の方向にある。



NEC技報 Vol. 49 No. 11／1996 より

図４　代表的な高周波回路の実装構造断面

3. 実装と周波数特性

3.1 伝送路と実装

電気信号の伝送は，電磁波という波の伝搬によるものである。電気信号と光信号は，係わる物理的な定数，誘電率などの違いはあるものの伝搬速度は等しく，これが今日の通信の基礎となっている。

伝送路は一言で言えば「電磁波（電磁的なエネルギー）がある場所からある場所へ伝播する路（みち）」である。半導体などの小さい空間では路として考えなくても回路定数に置き換えて振る舞いを求めることができるが，実装ではある程度長さの分布定数線路として考える。図５に信号伝送の基礎を，図６に各種伝送路とその特徴を示す[3] [8]。

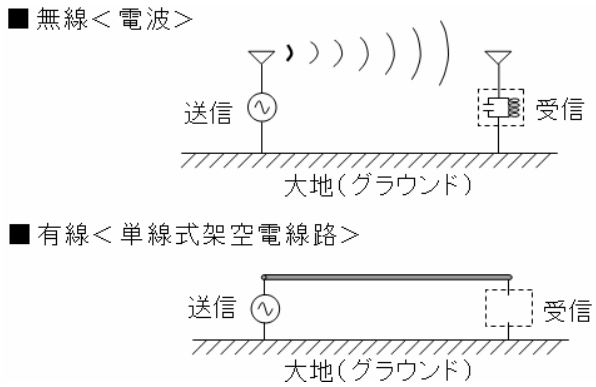


図５　信号伝送の基礎

各種伝送路とその特徴

整合した伝送路	構造	特徴
■導波管	立体構造	直流は通せない、大電力伝送可
■同軸ケーブル	立体構造	小型、可撓性
■コプレーナ	面構造	片面利用、低コスト
■マイクロストリップ	面構造	高密度（多ピン向き）、低コスト

半導体技術（高集積化）の進展
高密度プリント配線基板実装など実装技術の進展

面構造伝送路利用のさらなる増大

図６　伝送路の高密度化対応

図７にコプレーナとマイクロストリップ線路の断面図を示す。コプレーナ線路はグラウンド電極と信号電極が同一面にあるため，片面から測定プローブで電極に当てることが容易であり，解析結果と実測が合いやすい。一方，マイクロストリップラインはそのままでは測定しにくいが，高密度化には適している。

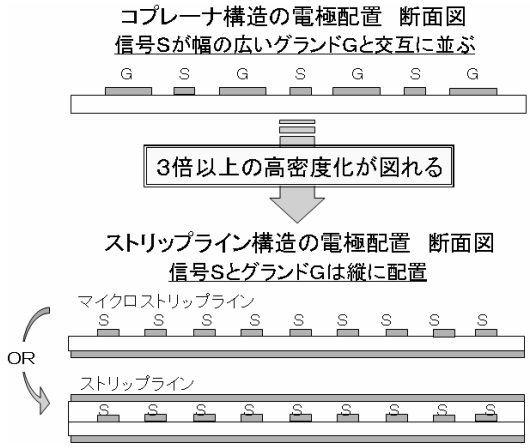
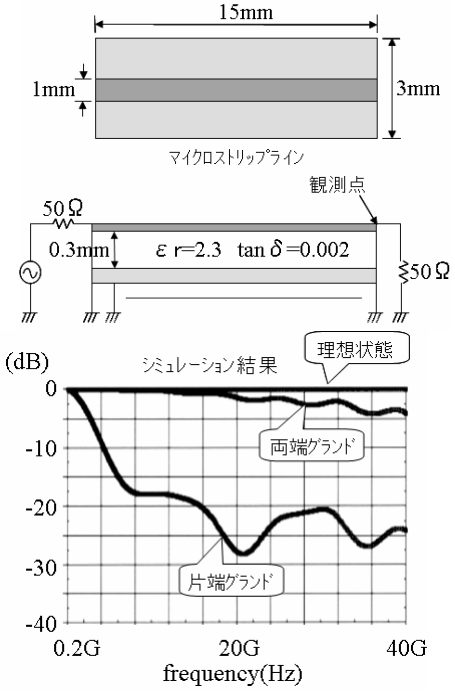


図７　コプレーナとマイクロストリップ断面

実装では小型化のため機器内に種々の部品が３次元的に配置される場合など，理想的なグラウンドを得にくい。図８にグラウンドの取り方による周波数特性の違いを示す。



大地（グランド）の取り方による周波数特性変化
片側グランドでは伝送路の均一性が失われる

図８　グラウンドの取り方で変わる周波数特性

この図８の実測は使う計測器のグラウンド接続の仕方や，人が触ると変化するなど，厳密な一致は困難であるが，その傾向は容易に確認できる。

実例では，同軸ケーブルを用いるとき，芯線と絶縁材が形状，寸法，材料などまったく同じものであって，グラウンド電極を司るシールドのみが１重，２重，３重と異なる場合の特性差で実感できる。具体的に７５Ωケーブルで3C-2V，3C-2W，3C-2T なるものがあり，100m 程度の遅延ケーブルとして用いて，その波形の減衰度合いや波形の崩れ方を見ることができる。

本講座の周波数特性はＳパラメータを用いているが，このパラメータは信号導体での特性なのか，グラウンド導体での特性なのかの区別がない。損失が生じるとき伝送路の均一性が信号電極側で失われているのか，それともグラウンド電極側で起こるのかを解析することは周波数特性を良くする上で重要なアプローチである。

同じ面で，１つのグラウンドが分断されているときに特性が悪化することは良く知られている。

図９に信号が連続でグラウンドが２つの島に分かれている解析例を示す。図中で上側のプロットは理想的なベタグラウンドの場合である。この図９の構造は，見方を変えれば，スロットアンテナそのものであり，周波数のディップでの損失分は電磁波放射となる。

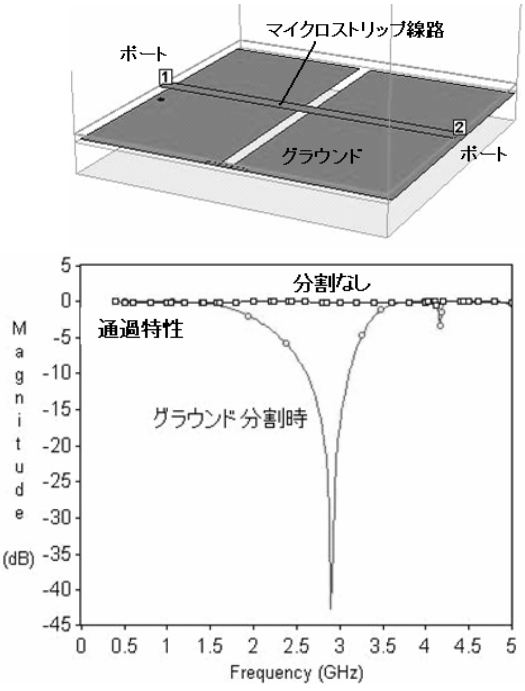


図９　同じ面内でのグラウンド分割

3.2　実装構造と周波数特性

実装構造は周波数特性に大きく影響する。デバイスと伝送路の相性が存在する。デバイス実装方法を大別すると２つあり，これらを図１０に示す。デバイスの電極のある面を上側にして基板へ実装するフェースアップ実装，下側にするフェースダウン実装の２種がある。

我々は，特にグラウンド特性に着目し，フェースアップ実装では連続性が保たれるのに対して，フェースダウン実装では「グラウンド分割問題」があることを 2001 年に提起し解決方法を示唆した [(4)]。

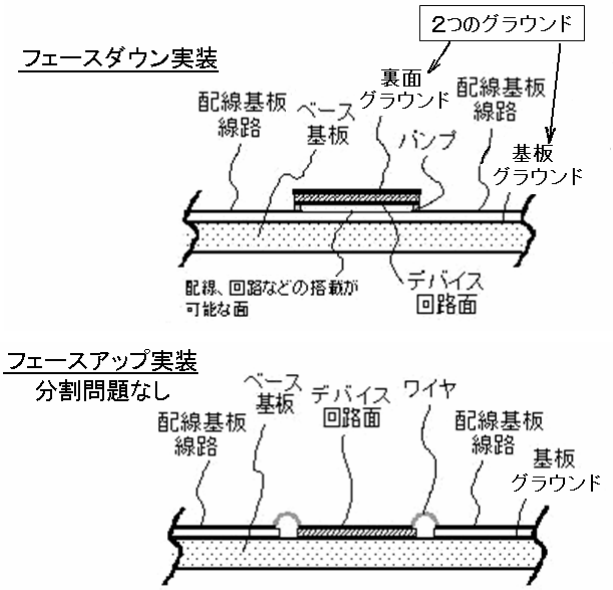


図１０　フェースダウンとフェースアップ実装

高密度化に適したマイクロストリップ線路の場合，フェースダウン実装により更なる高密度化が図れる。表１にフェースアップ時，フェースダウン時を比較しまとめた。先に示した図２はフェースダウン実装，図４はフェースアップ実装の例である。

表１　マイクロストリップ線路での
フェースアップ/フェースダウン実装比較

実装方法	フェースアップ	フェースダウン
接続部	ワイヤ、リボン、複数本ワイヤ	バンプ（スタッド、ピラー）
グラウンドの連続性	○	×
デバイス下の配線基板の活用	×	○
高密度化	×	○

フェースアップ実装ではデバイス外部との接続端子電極が，外周部分に一列，あるいは２列に千鳥配置したいわゆるペリフェラル配置電極の場合に都合がよいのに対して，フェースダウン実装ではこの列の制約がなく，格子状にいわ

ゆるエリア配置電極を用いることができる。フェースダウン実装では配線を多層基板の層数で稼いで収納させる。フェースダウン実装時のBGA 電極接続構造を図１１に示す。

≪接続部分の重要性≫⇒伝送特性を制限する不連続部

BAG実装:はんだボール部と層間接続部の周波数特性が問題

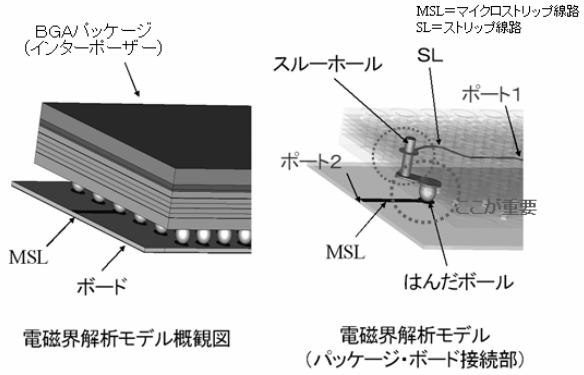
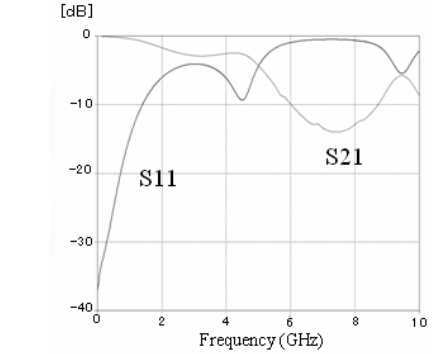
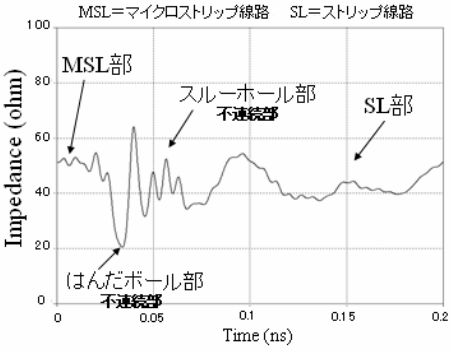


図１１　代表的なフェースダウン実装

接続部のはんだボール付近の構造は，伝送路の不連続部となり周波数特性を制限する。なお，図１１の右側の図では，信号のみのはんだボールを表示させているが，実際の解析モデルは左図のように，信号電極の周囲はグラウンド面に接続したはんだボールが複数ある。図１２に解析結果を示す。はんだボール部のインピーダンスが乱れ部分的に２分の１程度になっている[7]。



Sパラメータ解析結果



TDR解析結果

図１２　図１１の解析結果（周波数特性）

次にフェースダウン実装時のバンプ長の影響を，図１３のモデルを用いて解析し，図１４にその結果を示す。デバイスと基板とのグラウンド接続は伝送路の両側にあるグラウンド電極で行うが，この電極間距離はコプレーナ線路にならない程度に離してある。

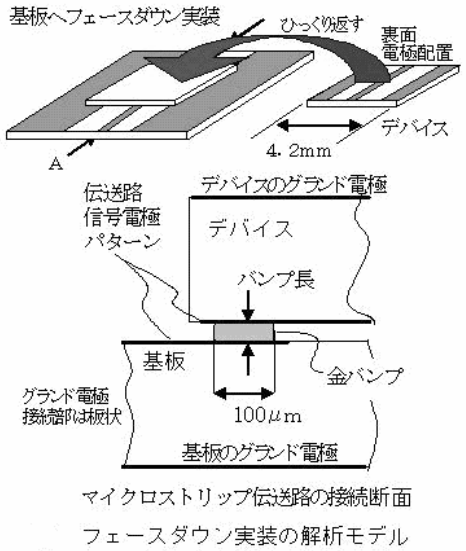


図１３　フェースダウン実装時のバンプ接続解析モデル

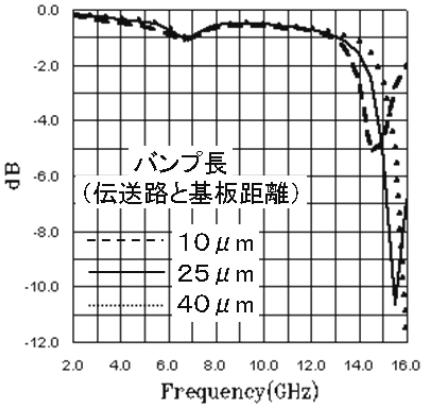


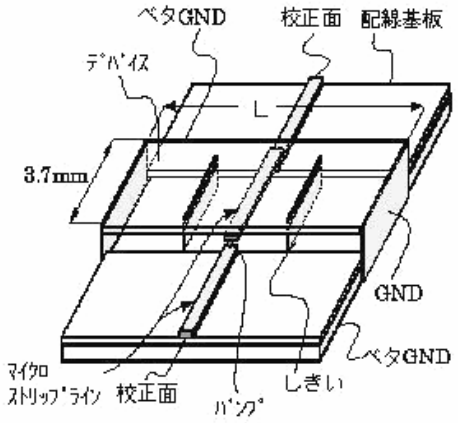
図１４　図１３の解析結果

バンプ長は周波数特性には直接的には影響しない。むしろバンプ長が短くなるとデバイス側のマイクロストリップ線路が基板側のグラウンドの影響を受けてインピーダンスが下がることの方を注意してやる必要がある。図１３ではこれを考慮していないため，バンプ長が短い場合に信号線路幅を小さくするなどで周波数特性を伸ばすことができる。こうした設計を施した場合には，図１４に示したようにバンプ長が短いほど周波数特性が落ちるということはなく，各バンプ長で同等の結果が得られる。

バンプ接続では図１２に示したようにバンプ

長よりもバンプを受けるパッド径による容量分の増加を考慮すべきで，これによるインピーダンスの低下が伝送路との段差を形成し反射の原因となる。

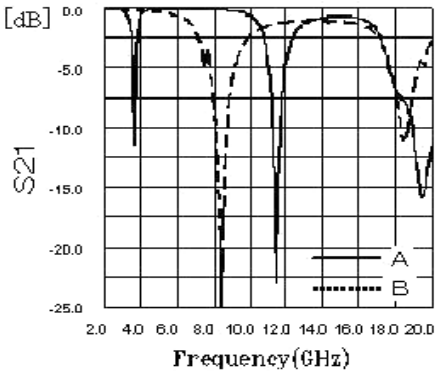
図１４の７GHz 付近にわずかな凹みがあるが，これはフェースダウン実装におけるグラウンド分割の影響である。図１５と図１６にこの影響を解析するためのモデルとその解析結果を示す。２つのベタグラウンドの接続位置により周波数特性が変化し，より近く密にグラウンドをとることで特性を改善することが分かる[(4)]。



解析モデルのデバイス寸法

モデル	ﾃﾞﾊﾞｲｽｻｲｽﾞ L	ｸﾞﾗﾝﾄﾞ電極接続ﾋﾞｱ(しきい)の 有／無
A	２４mm	無
B	２４mm	有（グラウンド接続位置10mm）

図１５　フェースダウン実装解析モデルその２



モデルＡとＢの周波数特性（S21）

図１６　図１５の解析結果

コプレーナ線路を用いた代表的な実装構造を図１７に示す。デバイスをフェースダウン実装しているが，この場合，フェースアップ実装でも同様な構造が描ける。いずれの場合も周辺の電極からの接続のみとなり，入出力ピン数はごく少数となる。図１７は３ピン場合であり，グラウンドは３分割され，これらをブリッジでつなぐ構造となる。別の層に全面ベタのグラウンドを設けて，スルーホールでつなぐ方法もあるが，マイクロストリップとの中間的な構造になる。高密度化を狙うならば，マイクロストリップラインを用いる方がやりやすい。

コプレーナではデバイスでのコプレーナをそのまま基板側へ信号とグラウンドを連続的な構造で引き渡せるため，周波数特性は良好である。

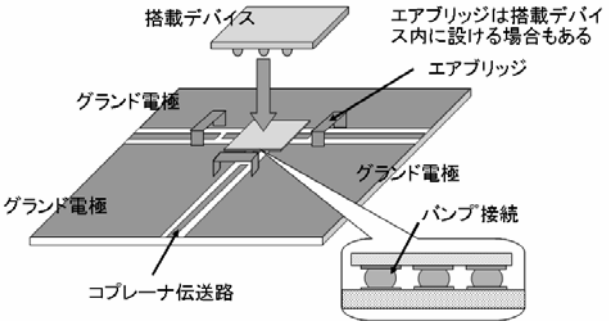


図１７　コプレーナ線路を用いた実装構造

次にマイクロストリップ線路を用い，フェースアップ実装した際の周波数特性例を示す。

構造は図１０のフェースアップ実装で示したグラウンド分割問題がない構造である。この構造は，グラウンド分割がない反面，信号側はワイヤなどの接続があり不連続となる。図１８にワイヤの影響を解析するためのモデルを示す。

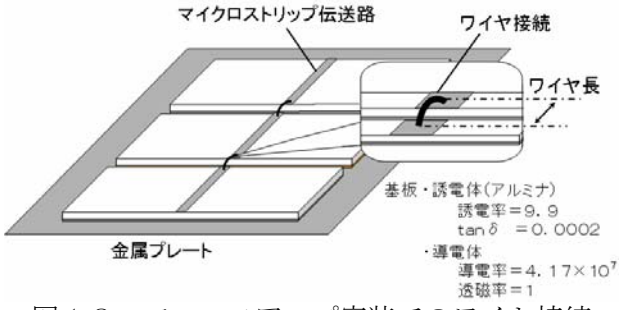


図１８　フェースアップ実装でのワイヤ接続解析モデル

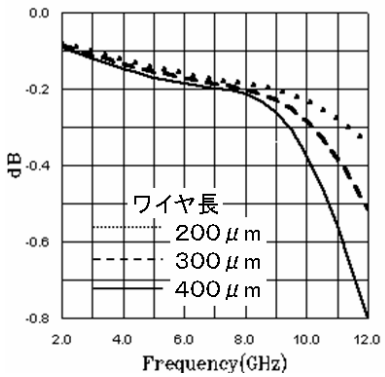


図１９　図１８のモデルでの解析結果

4. 測定と検査

一般に多層のインターポーザーを用いてバンプ接続したパッケージ化コストは，チップコストと同等，あるいはチップコストより高い。そこで，高価なパッケージ化されたデバイスを複数用いるよりも，パッケージ化する前のベアチップを複数そのまま用いて，高価なパッケージ化を１度で済ませるマルチチップモジュール（MCM）を採用する場合がある。これは低コスト化を期待できるが，ベアチップの良品率が MCM の歩留まりに直接影響するため，十分な検討が必要である。

近年では小型化を目的としてベアチップを用いるケースも増えてきている。チップ部品が 1005 から 0603 や 0402 と非常に小さくなり，これらの搭載機とベアチップマウンタとの兼用機が出されてきていることも，ベアチップの利用を加速する原動力となっている。

4.1 ベアチップ検査（KGD）

良品ベアチップ（KGD）を得る各種の方法とその特徴を表２に，その中のキャリア方式を図２０に示す[(5) (6)]。

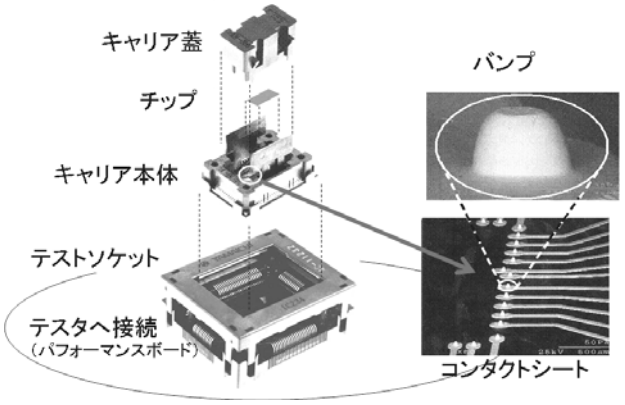
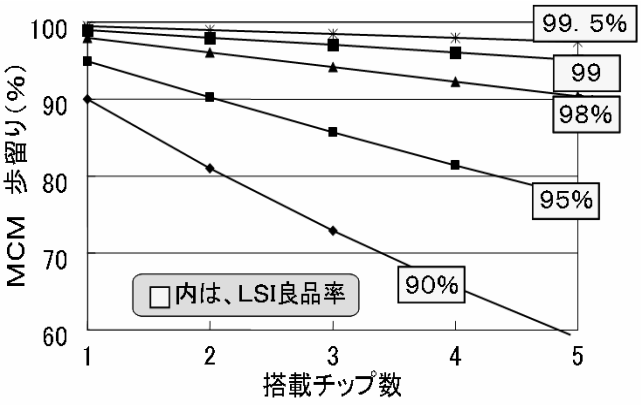


図２０　キャリア方式ベアチップ検査

キャリアは，従来のパッケージ用に作られたテストソケットにベアチップを勘合させる変換アダプタの役目を果たす。キャリアの中にはベアチップの微細電極に接触して，ソケットの所定の大きさに拡張するためのコンタクトシートを設けている。

4.2 マルチチップモジュール実装と検査

マルチチップモジュール（MCM）は，ベアチップの良品率が MCM の良品率に大きく影響する（図２１）。



MCM歩留り＝$(Pc)^n \times 100(\%)$
Pc:ベアチップの良品率、n:搭載チップ数

図２１　ベアチップ良品率と MCM 歩留まり

ベアチップを複数用いたマルチチップモジュールの工程を図２２に示す。左側がベアチップ検査をしない場合，右側が行う場合である。

図２１で，たとえば，３つのベアチップを搭載した MCM において，それぞれのベアチップの良品率を９５％とすると，MCM としての良品率は約８５％である。図２２に示す工程改善を行うことで MCM としてのコストを１５％程度改善できることになる。

ここで，先に図２０で紹介したキャリア方式

表2 各種ベアチップ検査方式とその特徴

方式	ダイレベル			ウエハーレベル	
	キャリア	プローブ	仮接続	簡易型	全ピンコンタクト
構造概略	加圧 Die バンプ ラバー	Die(MMIC) FPC G S G	W／B Die	・複数ダイのﾌﾟﾛｰﾌﾞｺﾝﾀｸﾄ Ex.64mdram 64ﾁｯﾌﾟ/回 6点/チップ	導電ゴム Si wafer バンプ
新規設備投資	△:移載機必要	△:プローバ必要	○	×：必要	×：必要
ﾁｯﾌﾟ設計変更の必要性	○	○	○	×：必要	○
品質保証	○	○	○	△:ﾃﾞｰﾀ採取要	○
量産コスト（新規設備投資/生産数+工程増）	○	○	×：切断/取付け工程要	×	×

を用いれば，ソケットやこれを用いたバーインテスタなどの従来から使用している設備をそのまま使え，ベアチップ検査に必要な費用は，キャリアの部材代，およびこのキャリアへのベアチップ脱着費用などでありこれが先の１５％の改善分とのトレードオフになる。

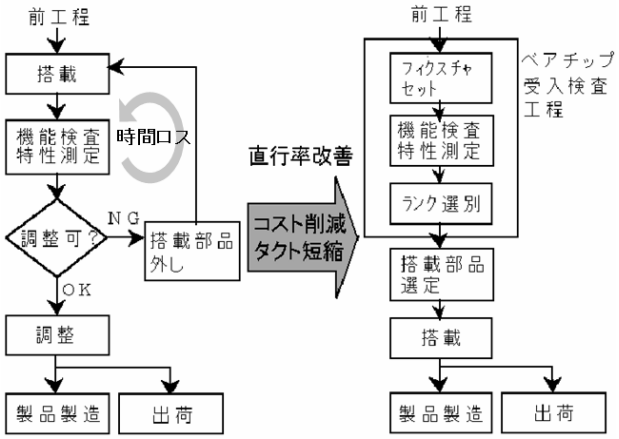


図２２　ベアチップ検査によるマルチチップモジュール製造工程の改善

費用的な効果は上記のようになるが，もし，ベアチップ検査で新たに掛かる費用が，製造工程の改善分と同等になるように生産計画をしたとしても，小型化によるメリットがあり製品の差別化を実現することができる。

5. まとめ

高速高周波実装技術の要点を解説した。実装技術は，複数の技術を含む大きな枠組みと考えられる。電磁気学，伝送工学，材料工学，そしてプロセスに関する技術など。同時に，学問と実際のものとの橋渡し役を担っている[(2) (9)]。

伝送路は理論的には均一性を保てば数十GHz までのフラットな周波数特性を得ることは容易である。しかし，実際のものとなると物が作れる範囲で他との接続関係も含めて特性を出さねばならない。誘電体を薄くしてカットオフ周波数を上げ周波数特性を改善しようとしても薄くする限度がある。また薄くしたところで，今度は導体の断面積が小さくなり損失が増える。

実装を考えるに，研究者としては妥協しながらほどほどの解を求めることになるだろう。個々には高周波特性が出ているはずなのに，しかも組み合わせ時の極位置も十分に考慮したのに，どういうわけか，組み立てると特性が出ない。実装での工夫により，所望の特性がでるものに仕上がることも多く経験するだろう。実装技術に携わる者は，それぞれのものに特有の多くの制約条件の中で，具現化するためのコストや製造期間をも考えて取り組むことが求められる。本講座が実装を考える「はじめの一歩」になればと願っている。

参考文献

(1)井上　博文，“超高速配線技術”，電子情報通信学会誌 Vol.88，No6，pp. 421-427, Jun. 2005.

(2)井上　博文，“高速・高周波化の動向と材料への要求”，エレクトロニクス実装学会誌 Vol.6, No4，pp. 282-288，Jul．2003.

(3)井上　博文，“高速伝送路の実際”，エレクトロニクス実装学会電磁特性技術委員会サマーセミナー，pp.9-16，Aug．2002.

(4)井上　博文，藤村　雄己，“高速高周波デバイス実装部グラウンド分割問題とその解決方法”，エレクトロニクス実装学会マイクロエレクトロニクスシンポジウム, pp.439-442, Nov. 2001.

(5)井上　博文，“マルチチップモジュール生産への高速高周波信号計測技術応用”, エレクトロニクス実装学会電磁特性技術委員会サマーセミナー，pp.25-34，Aug．2001.

(6)井上　博文，谷岡　道修，田浦　徹，木村　高博，松永　幸治，“FPC(flexible Printed Circuits)を用いたベアチップテスト技術”，LSI テスティングシンポジウムスシンポジウム，pp.100-105，Dec．2000.

(7)古谷　充，菅原　憲和，井上　博文，“BGA パッケージ内の伝送路における整合性”第１８回エレクトロニクス実装学術講演大会，19C-19，pp.243-244，Mar．2004

(4)井上　博文，藤村　雄己，“高速高周波デバイスの実装方法とその周波数特性”，ＮＥＣ技法，Vol.55，No.10，pp.79-82，2002

(8)井上　博文，“高速信号伝送と電磁気学”，エレクトロニクス実装学会誌，Vol.7 No.2 ，pp.179-185，2004

(9) “ＥＭＣ設計技術（基礎編／応用編）”，エレクトロニクス実装学会電磁特性技術委員会，http://www.jiep.or.jp/iinkai/denjiiin/hon/emc.html